

# ENC28J60

# 数据手册

## 带 SPI 接口的独立以太网控制器

**请注意以下有关 Microchip 器件代码保护功能的要点：**

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下， Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是 "牢不可破"的。

代码保护功能处于持续发展中。 Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了 《数字器件千年版权法案 （Digital Millennium Copyright Act）》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。



QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
ISO/TS 16949:2002

*Microchip 位于美国亚利桑那州 Chandler 和 Tempe 及位于加利福尼亚州 Mountain View 的全球总部、设计中心和晶圆生产厂均于 2003 年 10 月通过了 ISO/TS-16949:2002 质量体系认证。公司在 PICmicro® 8 位单片机、 KEELOQ® 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品方面的质量体系流程均符合 ISO/TS-16949:2002。此外， Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。*



# ENC28J60

# 带 SPI 接口的独立以太网控制器

## 以太网控制器特性

- IEEE 802.3 兼容的以太网控制器
- 集成 MAC 和 10 BASE-T PHY
- 接收器和冲突抑制电路
- 支持一个带自动极性检测和校正的 10BASE-T 端口
- 支持全双工和半双工模式
- 可编程在发生冲突时自动重发
- 可编程填充和 CRC 生成
- 可编程自动拒绝错误数据包
- 最高速度可达 10 Mb/s 的 SPI 接口

## 缓冲器

- 8 KB 发送 / 接收数据包双端口 SRAM
- 可配置发送 / 接收缓冲器大小
- 硬件管理的循环接收 FIFO
- 字节宽度的随机访问和顺序访问 （地址自动递增）
- 用于快速数据传送的内部 DMA
- 硬件支持的 IP 校验和计算

## 介质访问控制器 （MAC）特性

- 支持单播、组播和广播数据包
- 可编程数据包过滤，并在以下事件的逻辑 “与” 和 “或”结果为真时唤醒主机：
  - 单播目标地址
  - 组播地址
  - 广播地址
  - Magic Packet
  - 由 64 位哈希表定义的组目标地址
  - 多达 64 字节的可编程模式匹配 （偏移量可由用户定义）
- 环回模式

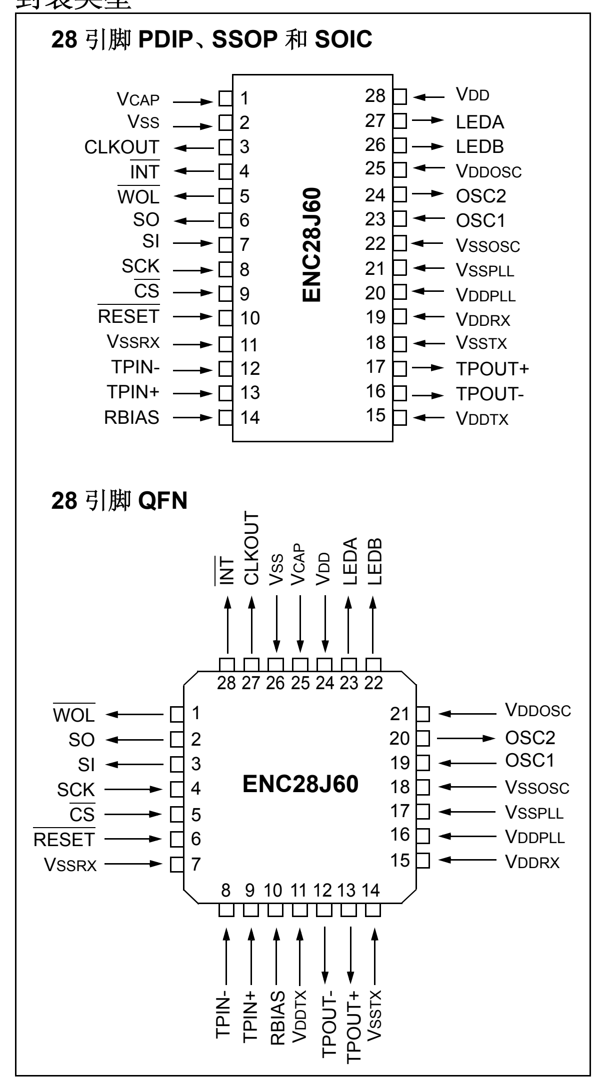
## 物理层 （PHY）特性

- 整形输出滤波器
- 环回模式

## 工作特性

- 两个用来表示连接、发送、接收、冲突和全 / 半双工状态的可编程 LED 输出
- 使用两个中断引脚的七个中断源
- 25 MHz 时钟
- 带可编程预分频器的时钟输出引脚
- 工作电压范围是 3.14V 到 3.45V
- TTL 电平输入
- 温度范围：-40°C 到 +85°C （工业级）， 0°C 到 +70°C （商业级）（仅 SSOP 封装）
- 28 引脚 SPDIP、 SSOP、 SOIC 和 QFN 封装

## 封装类型



## 目录



## 致客户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的要求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 **CTRC@microchip.com**，或将本数据手册后附的 **《读者反馈表》**传真到 86-21-5407 5066。我们期待您的反馈。

### 最新数据手册

欲获得本数据手册的最新版本，请查询我公司的网站：

http://www.microchip.com

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中数字串后的字母是版本号，例如：DS30000A是DS30000 的 A 版本。

### 勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站：http://www.microchip.com
- 当地 Microchip 销售办事处（见最后一页）

在联络销售办事处时，请说明您所使用的器件型号、硅片版本和数据手册版本（包括文献编号）。

### 客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 **www.microchip.com** 上注册。

## 1.0 概述

ENC28J60 是带有行业标准串行外设接口（Serial Peripheral Interface，SPI）的独立以太网控制器。它可作为任何配备有 SPI 的控制器的以太网接口。

ENC28J60 符合 IEEE 802.3 的全部规范，采用了一系列包过滤机制以对传入数据包进行限制。它还提供了一个内部 DMA 模块，以实现快速数据吞吐和硬件支持的 IP 校验和计算。与主控制器的通信通过两个中断引脚和 SPI 实现，数据传输速率高达 10 Mb/s。两个专用的引脚用于连接 LED，进行网络活动状态指示。

图 1-1所示为ENC28J60的简化框图。图 1-2所示为使用该器件的典型应用电路。要将单片机连接到速率为 10 Mbps 的以太网，只需 ENC28J60、两个脉冲变压器和一些无源元件即可。

ENC28J60 由七个主要功能模块组成：

1. SPI 接口——充当主控制器和 ENC28J60 之间通信通道。
2. 控制寄存器——用于控制和监视 ENC28J60。
3. 双端口RAM缓冲器——用于接收和发送数据包。
4. 判优器——当DMA、发送和接收模块发出请求时对 RAM 缓冲器的访问进行控制。
5. 总线接口——对通过 SPI 接收的数据和命令进行解析。
6. MAC （Medium Access Control）模块——实现符合 IEEE 802.3 标准的 MAC 逻辑。
7. PHY（物理层）模块——对双绞线上的模拟数据进行编码和译码。

该器件还包括其他支持模块，诸如振荡器、片内稳压器、电平变换器（提供可以接受 5V 电压的 I/O 引脚）和系统控制逻辑。

**图 1-1： ENC28J60 框图**

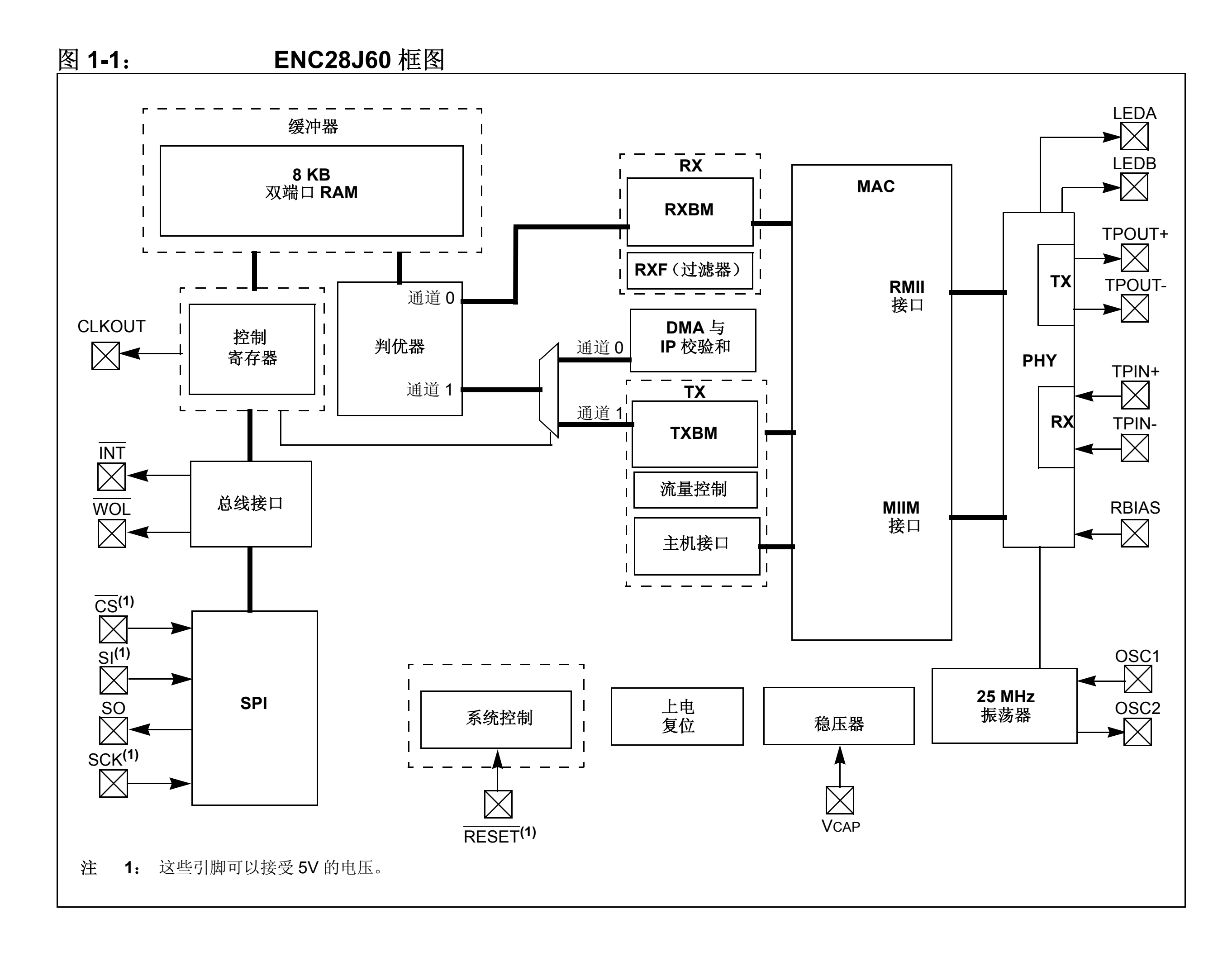


图 1-2: 典型的 ENC28J60 接口

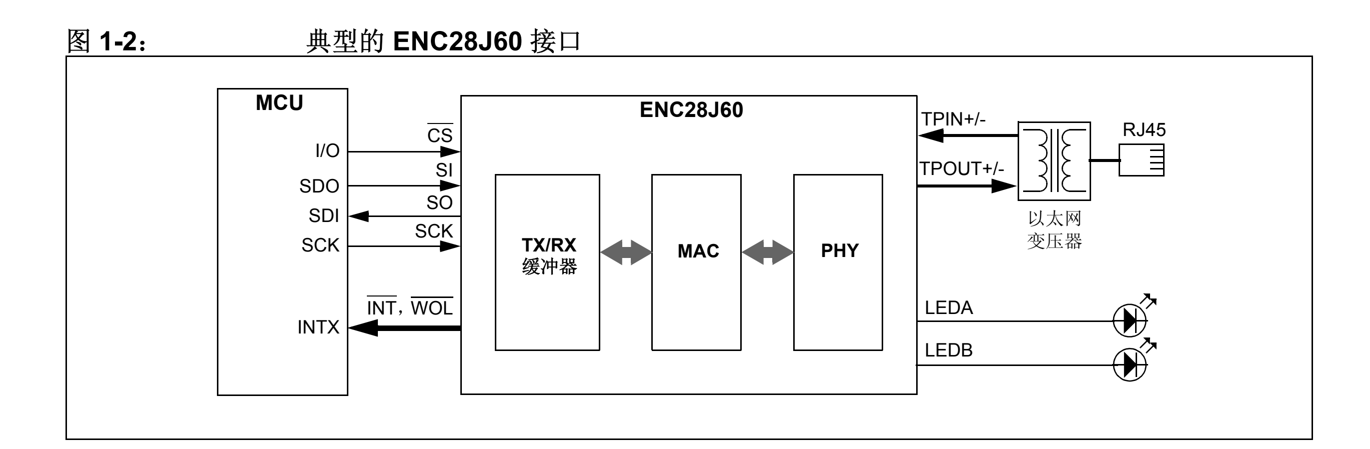



表 1-1: I/O 引脚说明

| 引脚名称 | 引脚号 | | 引脚类型 | 缓冲器类型 | 说明 |
|---|---|---|---|---|---|
| | SPDIP、SOIC 和 SSOP | QFN | | | |
| VCAP | 1 | 25 | P | — | 来自内部稳压器的 2.5V 输出。必须将此引脚通过一个 10 µF 的电容连接到 VSSTX。 |
| VSS | 2 | 26 | P | — | 参考接地端。 |
| CLKOUT | 3 | 27 | O | — | 可编程时钟输出引脚。(1) |
| INT | 4 | 28 | O | — | INT 中断输出引脚。(2) |
| WOL | 5 | 1 | O | — | LAN 中断唤醒输出引脚。(2) |
| SO | 6 | 2 | O | — | SPI 接口的数据输出引脚。(2) |
| SI | 7 | 3 | I | ST | SPI 接口的数据输入引脚。(3) |
| SCK | 8 | 4 | I | ST | SPI 接口的时钟输入引脚。(3) |
| CS | 9 | 5 | I | ST | SPI 接口的片选输入引脚。(3,4) |
| RESET | 10 | 6 | I | ST | 低电平有效器件复位输入。(3, 4) |
| VSSRX | 11 | 7 | P | — | PHY RX 的参考接地端。 |
| TPIN- | 12 | 8 | I | ANA | 差分信号输入。 |
| TPIN+ | 13 | 9 | I | ANA | 差分信号输入。 |
| RBIAS | 14 | 10 | I | ANA | PHY 的偏置电流引脚。必须将此引脚通过 2 kΩ （1%）的电阻连接到 VSSRX。 |
| VDDTX | 15 | 11 | P | — | PHY TX 的正电源端。 |
| TPOUT- | 16 | 12 | O | — | 差分信号输出。 |
| TPOUT+ | 17 | 13 | O | — | 差分信号输出。 |
| VSSTX | 18 | 14 | P | — | PHY TX 的参考接地端。 |
| VDDRX | 19 | 15 | P | — | PHY RX 的正 3.3V 电源端。 |
| VDDPLL | 20 | 16 | P | — | PHY PLL 的正 3.3V 电源端。 |
| VSSPLL | 21 | 17 | P | — | PHY PLL 的参考接地端。 |
| VSSOSC | 22 | 18 | P | — | 振荡器的参考接地端。 |
| OSC1 | 23 | 19 | I | DIG | 振荡器输入。 |
| OSC2 | 24 | 20 | O | — | 振荡器输出。 |
| VDDOSC | 25 | 21 | P | — | 振荡器的正 3.3V 电源端。 |
| LEDB | 26 | 22 | O | — | LEDB 驱动引脚。(5) |
| LEDA | 27 | 23 | O | — | LEDA 驱动引脚。(5) |
| VDD | 28 | 24 | P | — | 正 3.3V 电源端。 |

图注： I = 输入， O = 输出， P = 电源， DIG = 数字输入， ANA = 模拟信号输入， ST = 施密特触发器

注 1： 引脚最大的电流驱动能力为 8 mA。
2： 引脚最大的电流驱动能力为 4 mA。
3： 引脚可以接受 5V 的电压。
4： 引脚有一个连接到 VDD 的内部弱上拉电路。
5： 引脚最大的电流驱动能力为 12 mA。

 高级信息 

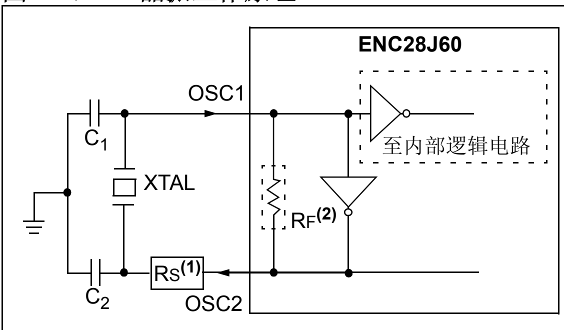
## 2.0 外部连接

### 2.1 振荡器

ENC28J60 的工作频率为 25 MHz，晶振连接在 OSC1 和 OSC2 引脚之间。ENC28J60 要求使用平行切割的晶体。使用顺序切割的晶体可能会使振荡器产生的频率不在晶体制造厂商所给的参数范围内。图 2-1给出了一个典型的振荡器电路。

ENC28J60 也可由连接到 OSC1 引脚的外部时钟源驱动，如图 2-2 所示。

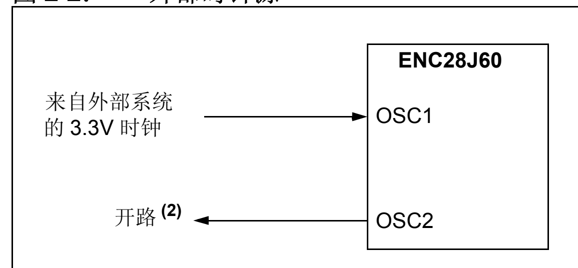
图 **2-1**： 晶振工作原理




注 1：对于 AT 条形切割的晶体可能需要一个串联电阻 Rs。

2：反馈电阻 RF 通常在2—10 MΩ 范围内。

图 **2-2**： 外部时钟源 (1)




注 1：必须遵守占空比的限制条件。

2：可以使用一个接地电阻以减少系统噪声，但可能会增加系统的电流消耗。

### 2.2 振荡器起振定时器

ENC28J60 包含一个振荡器起振定时器（Oscillator Start-up Timer，OST）以确保在使用振荡器和集成 PHY 之前它们已经稳定。在发生上电复位或从掉电模式唤醒后， OST 经过 7500 个 OSC1 时钟周期（300 µs）后超时。在这段延时期间，仍可通过 SPI 总线对所有的以太网寄存器和缓冲器进行读写操作。然而，在这期间不应试图使用软件发送任何数据包（将 ECON1.TXRTS 置 1）、使能接收数据包（将 ECON1.RXEN 置 1）或访问任何 MAC、 MII 或 PHY 寄存器。

当 OST 超时后， ESTAT 寄存器中的 CLKRDY 位将置 1。应用程序软件可通过查询此位来确定何时开始正常的器件操作。

| 注： | 在上电复位或 ENC28J60 从掉电模式恢复后，在发送数据包、使能接收数据包或允许访问任何 MAC、 MII 或 PHY 寄存器之前，必须查询 CLKRDY 位。 |
|---|---|

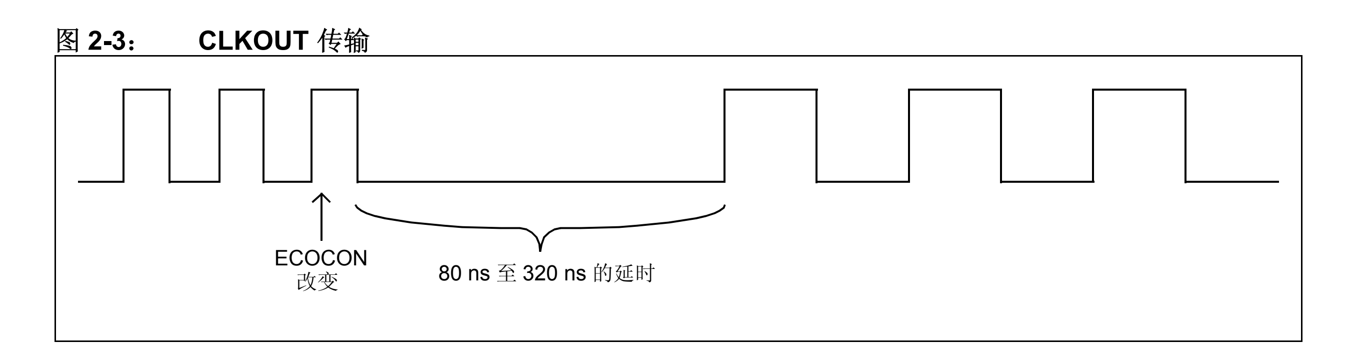
## 2.3 CLKOUT 引脚

系统设计人员可以使用时钟输出引脚作为主控制器或其他器件的时钟源。CLKOUT 带有一个内部预分频器，可将时钟输出进行 1、2、3、4 或 8 分频。通过 ECOCON 寄存器 （寄存器 2-1）使能 CLKOUT 功能并选择预分频比。

要产生一个干净的时钟信号，当第一次加电时，CLKOUT 引脚必须保持一段时间的低电平。当上电复位结束后，OST 将开始计数。当 OST 超时后，CLKOUT 引脚开始输出其默认频率为 6.25 MHz （主时钟的 4 分频）的时钟信号。在随后的任意时刻如果 ENC28J60 通过软件或 RESET 引脚复位，CLKOUT 功能将不会改变（ECOCON 的值不变）。器件也可能进入掉电模式且 CLKOUT 功能保持不变。当退出掉电模式时， OST 将复位，但 CLKOUT 功能将继续发挥作用。 当禁止 CLKOUT 功能时 （ECOCON = 0）， CLKOUT 引脚被驱动为低电平。

CLKOUT 功能被设计为，当使能、禁止 CLKOUT 引脚功能或改变预分频比时，确保延迟时间最短。不会输出超出 ECOCON 配置规定频率的高或低电平脉冲。然而，当切换频率时，在时钟脉冲产生之前将有 2 到 8 个 OSC1 时钟周期的延时 （见图 2-3） 。 在这期间，CLKOUT 将保持为低电平。

图 2-3： CLKOUT 传输




寄存器 2-1： **ECOCON：时钟输出控制寄存器**

| U-0 | U-0 | U-0 | U-0 | U-0 | R/W-1 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| — | — | — | — | — | COCON2 | COCON1 | COCON0 |
| bit 7 | | | | | | | bit 0 |

bit 7-3 未用：读为 0

bit 2-0 **COCON2:COCON0**：时钟输出配置位
111 = 出厂测试保留位。请勿使用。不保证抗干扰性能。
110 = 出厂测试保留位。请勿使用。不保证抗干扰性能。
101 = CLKOUT 输出主时钟的 8 分频 （3.125 MHz）
100 = CLKOUT 输出主时钟的 4 分频 （6.25 MHz）
011 = CLKOUT 输出主时钟的 3 分频 （8.333333 MHz）
010 = CLKOUT 输出主时钟的 2 分频 （12.5 MHz）
001 = CLKOUT 输出主时钟的 1 分频 （25 MHz）
000 = 禁止 CLKOUT。引脚被驱动为低电平。

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知位 |

## 2.4 磁性元件，端接元件和其他外部元件

要实现以太网接口，ENC28J60 需要外部连接几个标准元件。应按照图 2-4 来连接这些元件。

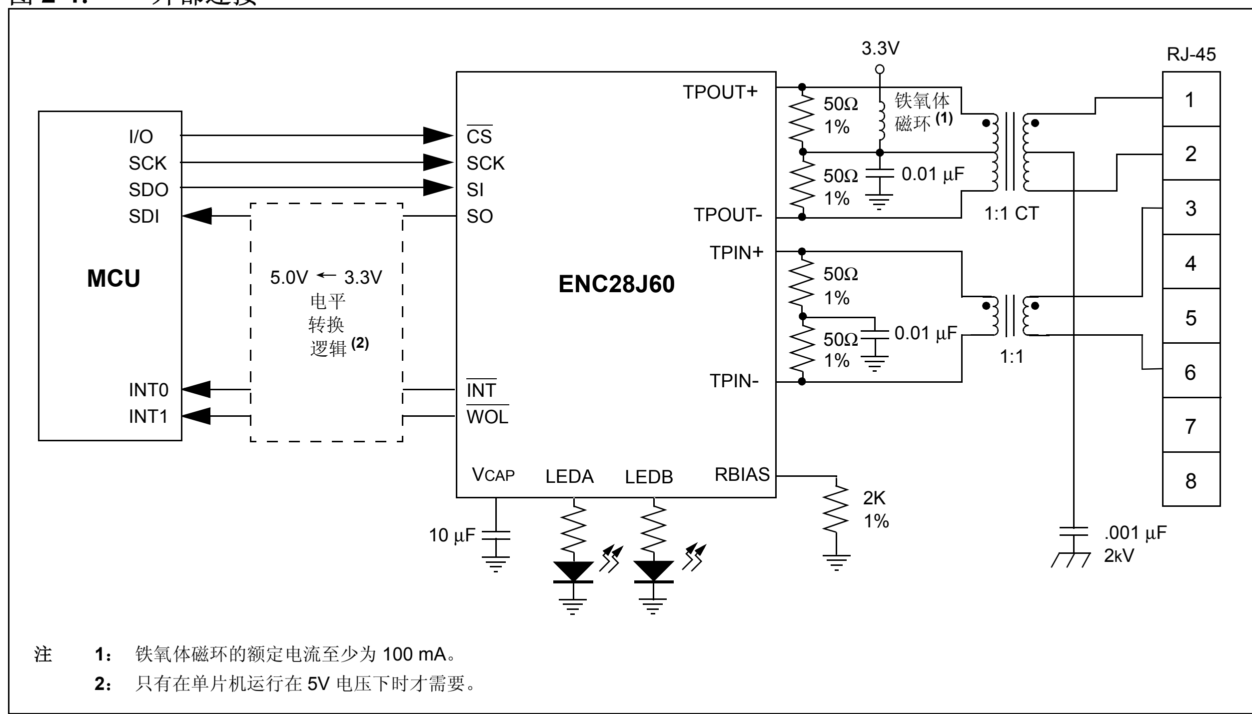
在差分接收引脚 （TPIN+/TPIN-）上，需要一个专用于 10BASE-T 操作的 1:1 脉冲变压器。在差分发送引脚（TPOUT+/TPOUT-）上，需要外接一个带有中心抽头的 1:1 脉冲变压器。变压器应具有 2 kV 以上的电压隔离性能，以防止静电干扰。变压器特定要求请参见**第 16.0 节 "电气特性"** 。两个变压器均需要额外的两个 50Ω（精度为 1%）的电阻和一个 0.01 µF 的电容与特定端相连。

ENC28J60 的内部模拟电路需要在 RBIAS 引脚与地之间外接一个 2 kΩ （精度为 1%）的电阻。

为降低功耗，ENC28J60 中的某些数字电路工作在 2.5V 标称电压下。其内部包含一个 2.5V 稳压器以产生所需的电压，要使之工作稳定，仅需在外部连接一个 10 µF 电容。该电容应连接在 VCAP 引脚与地之间。内部稳压器无法驱动外部负载。

所有电源引脚都必须与同一个外部 3.3V 电源相连。类似的，所有参考地都应在外部连接到相同的接地点。每个 VDD 和 VSS 引脚对都应连接一个 0.1 µF 的陶瓷旁路电容，该电容应尽可能靠近引脚。需要相对高的电流才能驱动双绞线接口，因此所有电缆应尽可能短，并且线径适中以减少电阻损耗。

图 **2-4**： 外部连接




注 **1**： 铁氧体磁环的额定电流至少为 100 mA。
**2**： 只有在单片机运行在 5V 电压下时才需要。

## 2.5 I/O 电平

ENC28J60 是一个工作电压为 3.3V 的器件，它被设计为易于集成到 5V 的系统中。SPI 的 CS，SCK 和 SI 输入以及 RESET 引脚都可以承受 5V 的电压。另一方面，如果主控制器运行在 5V 电压下，当 SPI 和中断输入由 ENC28J60 上的 3.3V CMOS 输出驱动时，它很可能不符合规范要求，此时需要一个单向电平转换器。

可以使用一个廉价的 74HCT08（四与门）、74ACT125（四三态缓冲器）或其他带有 TTL 电平输入缓冲器的 5V CMOS 芯片来提供必要的电平转换。使用三态缓冲器便于系统集成，它可以与其他器件共享 SPI 总线。图 2-5 和图 2-6 给出了转换机制实例。

图 2-5： 使用与门转换电平

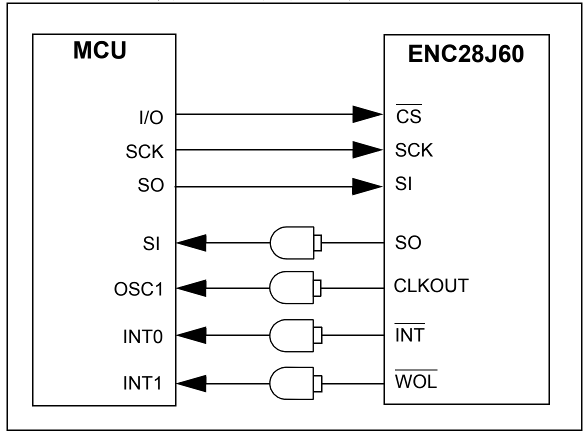
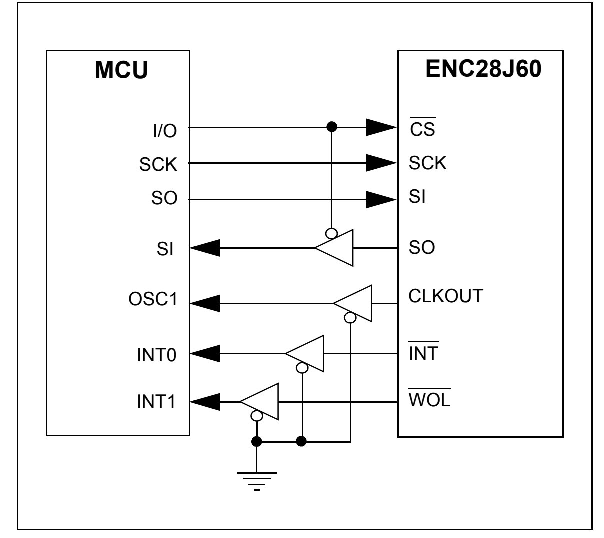



图 2-6： 使用三态缓冲器转换电平

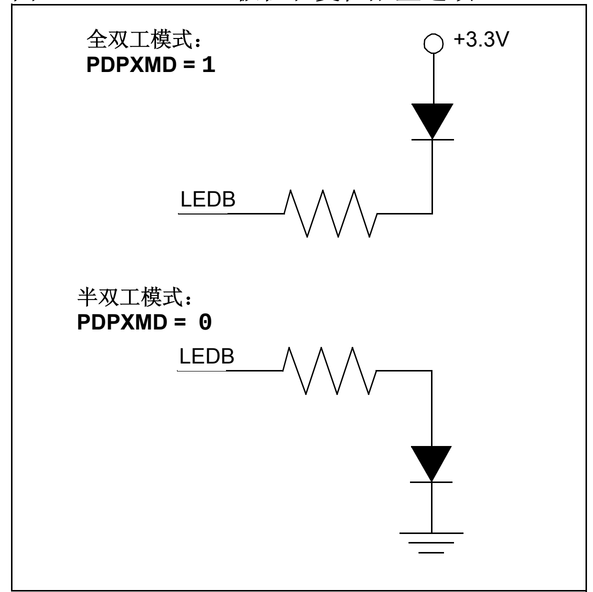



## 2.6 LED 配置

LEDA 和 LEDB 引脚支持复位时的自动极性检测。可以在这两个引脚上，以拉电流或灌电流点亮 LED 的两种方式连接 LED。系统复位时， ENC28J60 将检测 LED 的连接方式，并将 LED 驱动为 PHLCON 寄存器配置的默认状态。如果在 ENC28J60 运行时改变 LED 的极性，新极性将在下一次系统复位时才能被检测到。

复位时会自动读取 LEDB 上 LED 的连接状态，并确定如何初始化 PHCON1.PDPXMD 位。如果引脚采用拉电流的方式点亮 LED，则复位时此位清零且 PHY 默认为在半双工模式下运行。如果引脚采用灌电流的方式点亮 LED，则复位时此位置 1 且 PHY 默认为在全双工模式下运行。图 2-7 显示了这两种备选模式的电路。如果 LEDB 引脚上没有连接 LED，则 PDPXMD 位将复位为不确定值。

图 2-7： LEDB 极性和复位配置选项



## 寄存器 2-2： PHLCON：PHY 模块 LED 控制寄存器

| R/W-0 | R/W-0 | R/W-1 | R/W-1 | R/W-0 | R/W-1 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| r | r | r | r | LACFG3 | LACFG2 | LACFG1 | LACFG0 |
| bit 15 | | | | | | | bit 8 |

| R/W-0 | R/W-0 | R/W-1 | R/W-0 | R/W-0 | R/W-0 | R/W-1 | R/W-x |
|---|---|---|---|---|---|---|---|
| LBCFG3 | LBCFG2 | LBCFG1 | LBCFG0 | LFRQ1 | LFRQ0 | STRCH | r |
| bit 7 | | | | | | | bit 0 |

bit 15-12 **保留**：写为 0

bit 11-8 **LACFG3:LACFG0**：LEDA 配置位
0000 = 保留
0001 = 显示发送活动 （LED 脉冲长度可延长）
0010 = 显示接收活动 （LED 脉冲长度可延长）
0011 = 显示冲突活动 （LED 脉冲长度可延长）
0100 = 显示链接状态
0101 = 显示双工状态
0110 = 保留
0111 = 显示发送和接收活动 （LED 脉冲长度可延长）
1000 = 点亮
1001 = 熄灭
1010 = 快速闪烁
1011 = 慢速闪烁
1100 = 显示链接状态和接收活动 （LED 脉冲总是延长的）
1101 = 显示链接状态和发送 / 接收活动 （LED 脉冲总是延长的）
1110 = 显示双工状态和冲突活动 （LED 脉冲总是延长的）
1111 = 保留

bit 7-4 **LBCFG3:LBCFG0**：LEDB 配置位
0000 = 保留
0001 = 显示发送活动 （LED 脉冲长度可延长）
0010 = 显示接收活动 （LED 脉冲长度可延长）
0011 = 显示冲突活动 （LED 脉冲长度可延长）
0100 = 显示链接状态
0101 = 显示双工状态
0110 = 保留
0111 = 显示发送和接收活动 （LED 脉冲长度可延长）
1000 = 电亮
1001 = 熄灭
1010 = 快速闪烁
1011 = 慢速闪烁
1100 = 显示链接状态和接收活动 （LED 脉冲总是延长的）
1101 = 显示链接状态和发送 / 接收活动 （LED 脉冲总是延长的）
1110 = 显示双工状态和冲突活动 （LED 脉冲总是延长的）
1111 = 保留

bit 3-2 **LFRQ1:LFRQ0**：LED 脉冲延长时间配置位
11 = 保留
10 = 延长 LED 脉冲至大约 139 ms
01 = 延长 LED 脉冲至大约 73 ms
01 = 延长 LED 脉冲至大约 40 ms

bit 1 **STRCH**：LED 脉冲延长使能位
1 = 根据 LFRQ 配置，可延长 LED 脉冲事件将延长 LED 脉冲
0 = 仅当可延长 LED 脉冲事件发生时才显示

bit 0 **保留**：写为 0

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | r = 保留位 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

注：

## 3.0 存储器构成

ENC28J60 中所有的存储器都是以静态 RAM 的方式实现的。ENC28J60 中有三种类型的存储器：

- 控制寄存器
- 以太网缓冲器
- PHY 寄存器

控制寄存器类存储器包含控制寄存器（Control Register，CR）。它们用于进行 ENC28J60 的配置、控制和状态获取。可以通过 SPI 接口直接读写这些控制寄存器。

以太网缓冲器中包含一个供以太网控制器使用的发送和接收存储空间。主控制器可以使用 SPI 接口对该存储空间的容量进行编程。只可以通过读缓冲器和写缓冲器 SPI 指令来访问以太网缓冲器（见第 **4.2.2** 节 **“读缓冲存储器命令”**和第 **4.2.4** 节 **“写缓冲器器命令”**）。

PHY 寄存器用于进行 PHY 模块的配置、控制和状态获取。不可以通过 SPI 接口直接访问这些寄存器，只可通过 MAC 中的 MII（Media Independent Interface）访问这些寄存器。

图 3-1 显示了 ENC28J60 的数据存储器构成。




**图 3-1： ENC28J60 存储器构成**

## 3.1 控制寄存器

控制寄存器提供主控制器和片内以太网控制器逻辑电路之间的主要接口。写这些寄存器可控制接口操作，而读这些寄存器则允许主控制器监控这些操作。

控制寄存器存储空间分为四个存储区，可用 ECON1 寄存器中的存储区选择位 BSEL1:BSEL0 进行选择。每个存储区都是 32 字节长，可以用 5 位地址值进行寻址。

所有存储区的最后五个单元 （1Bh 到 1Fh）都指向同一组寄存器：EIE、EIR、ESTAT、ECON2 和 ECON1。它们是控制和监视器件工作的关键寄存器，由于被映射到同一存储空间，因此可以在不切换存储区的情况下很方便地访问它们。本节稍后将讨论 ECON1 和 ECON2 寄存器。

有些地址未使用。对这些单元执行写操作将被忽略，而读操作都将返回 0。每个存储区中地址为 1Ah 的寄存器都是保留的；不应对此寄存器进行读写操作。可以读其他保留的寄存器，但是不能更改它们的内容。在读写包含保留位的寄存器时，应遵守寄存器定义中声明的规则。

ENC28J60 的控制寄存器通常被分为 ETH、MAC 和 MII 三组寄存器。名称由 “E” 开头的寄存器属于 ETH 组。同样，名称由 “MA” 开头的寄存器属于 MAC 组，名称由 “MI” 开头的寄存器属于 MII 组。

**表 3-1： ENC28J60 控制寄存器映射**

| Bank 0 地址 | Bank 0 名称 | Bank 1 地址 | Bank 1 名称 | Bank 2 地址 | Bank 2 名称 | Bank 3 地址 | Bank 3 名称 |
|---|---|---|---|---|---|---|---|
| 00h | ERDPTL | 00h | EHT0 | 00h | MACON1 | 00h | MAADR1 |
| 01h | ERDPTH | 01h | EHT1 | 01h | MACON2 | 01h | MAADR0 |
| 02h | EWRPTL | 02h | EHT2 | 02h | MACON3 | 02h | MAADR3 |
| 03h | EWRPTH | 03h | EHT3 | 03h | MACON4 | 03h | MAADR2 |
| 04h | ETXSTL | 04h | EHT4 | 04h | MABBIPG | 04h | MAADR5 |
| 05h | ETXSTH | 05h | EHT5 | 05h | — | 05h | MAADR4 |
| 06h | ETXNDL | 06h | EHT6 | 06h | MAIPGL | 06h | EBSTSD |
| 07h | ETXNDH | 07h | EHT7 | 07h | MAIPGH | 07h | EBSTCON |
| 08h | ERXSTL | 08h | EPMM0 | 08h | MACLCON1 | 08h | EBSTCSL |
| 09h | ERXSTH | 09h | EPMM1 | 09h | MACLCON2 | 09h | EBSTCSH |
| 0Ah | ERXNDL | 0Ah | EPMM2 | 0Ah | MAMXFLL | 0Ah | MISTAT |
| 0Bh | ERXNDH | 0Bh | EPMM3 | 0Bh | MAMXFLH | 0Bh | — |
| 0Ch | ERXRDPTL | 0Ch | EPMM4 | 0Ch | 保留 | 0Ch | — |
| 0Dh | ERXRDPTH | 0Dh | EPMM5 | 0Dh | MAPHSUP | 0Dh | — |
| 0Eh | ERXWRPTL | 0Eh | EPMM6 | 0Eh | 保留 | 0Eh | — |
| 0Fh | ERXWRPTH | 0Fh | EPMM7 | 0Fh | — | 0Fh | — |
| 10h | EDMASTL | 10h | EPMCSL | 10h | 保留 | 10h | — |
| 11h | EDMASTH | 11h | EPMCSH | 11h | MICON | 11h | — |
| 12h | EDMANDL | 12h | — | 12h | MICMD | 12h | EREVID |
| 13h | EDMANDH | 13h | — | 13h | — | 13h | — |
| 14h | EDMADSTL | 14h | EPMOL | 14h | MIREGADR | 14h | — |
| 15h | EDMADSTH | 15h | EPMOH | 15h | 保留 | 15h | ECOCON |
| 16h | EDMACSL | 16h | EWOLIE | 16h | MIWRL | 16h | 保留 |
| 17h | EDMACSH | 17h | EWOLIR | 17h | MIWRH | 17h | EFLOCON |
| 18h | — | 18h | ERXFCON | 18h | MIRDL | 18h | EPAUSL |
| 19h | — | 19h | EPKTCNT | 19h | MIRDH | 19h | EPAUSH |
| 1Ah | 保留 | 1Ah | 保留 | 1Ah | 保留 | 1Ah | 保留 |
| 1Bh | EIE | 1Bh | EIE | 1Bh | EIE | 1Bh | EIE |
| 1Ch | EIR | 1Ch | EIR | 1Ch | EIR | 1Ch | EIR |
| 1Dh | ESTAT | 1Dh | ESTAT | 1Dh | ESTAT | 1Dh | ESTAT |
| 1Eh | ECON2 | 1Eh | ECON2 | 1Eh | ECON2 | 1Eh | ECON2 |
| 1Fh | ECON1 | 1Fh | ECON1 | 1Fh | ECON1 | 1Fh | ECON1 |

 高级信息 

表 3-2： ENC28J60 控制寄存器汇总

| 寄存器名称 | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 | 复位时的值 | 详细信息所在页 |
|---|---|---|---|---|---|---|---|---|---|---|
| EIE | INTIE | PKTIE | DMAIE | LINKIE | TXIE | WOLIE | TXERIE | RXERIE | 0000 0000 | 67 |
| EIR | — | PKTIF | DMAIF | LINKIF | TXIF | WOLIF | TXERIF | RXERIF | -000 0000 | 68 |
| ESTAT | INT | r | r | LATECOL | — | RXBUSY | TXABRT | CLKRDY[1] | 0000 -000 | 66 |
| ECON2 | AUTOINC | PKTDEC | PWRSV | — | VRPS | — | — | — | 100- 0--- | 16 |
| ECON1 | TXRST | RXRST | DMAST | CSUMEN | TXRTS | RXEN | BSEL1 | BSEL0 | 0000 0000 | 15 |
| ERDPTL | 读指针低字节 ERDPT<7:0>） | | | | | | | | 1111 1010 | 17 |
| ERDPTH | — | — | — | 读指针高字节 （ERDPT<12:8>） | | | | | ---0 0101 | 17 |
| EWRPTL | 写指针低字节 （EWRPT<7:0>） | | | | | | | | 0000 0000 | 17 |
| EWRPTH | — | — | — | 写指针高字节 （EWRPT<12:8>） | | | | | ---0 0000 | 17 |
| ETXSTL | 发送起始低字节 （ETXST<7:0>） | | | | | | | | 0000 0000 | 17 |
| ETXSTH | — | — | — | 发送起始高字节 （ETXST<12:8>） | | | | | ---0 0000 | 17 |
| ETXNDL | 发送结束低字节 （ETXND<7:0>） | | | | | | | | 0000 0000 | 17 |
| ETXNDH | — | — | — | 发送结束高字节 （ETXND<12:8>） | | | | | ---0 0000 | 17 |
| ERXSTL | 接收起始低字节 （ERXST<7:0>） | | | | | | | | 1111 1010 | 17 |
| ERXSTH | — | — | — | 接收起始高字节 （ERXST<12:8>） | | | | | ---0 0101 | 17 |
| ERXNDL | 接收结束低字节 （ERXND<7:0>） | | | | | | | | 1111 1111 | 17 |
| ERXNDH | — | — | — | 接收结束高字节 （ERXND<12:8>） | | | | | ---1 1111 | 17 |
| ERXRDPTL | 接收读指针低字节 （ERXRDPT<7:0>） | | | | | | | | 1111 1010 | 17 |
| ERXRDPTH | — | — | — | 接收读指针高字节 （ERXRDPT<12:8>） | | | | | ---0 0101 | 17 |
| ERXWRPTL | 接收写指针低字节 （ERXWRPT<7:0>） | | | | | | | | 0000 0000 | 17 |
| ERXWRPTH | — | — | — | 接收写指针高字节 （ERXWRPT<12:8>） | | | | | ---0 0000 | 17 |
| EDMASTL | DMA 起始低字节 （EDMAST<7:0>） | | | | | | | | 0000 0000 | 75 |
| EDMASTH | — | — | — | DMA 起始高字节 （EDMAST<12:8>） | | | | | ---0 0000 | 75 |
| EDMANDL | DMA 结束低字节 （EDMAND<7:0>） | | | | | | | | 0000 0000 | 75 |
| EDMANDH | — | — | — | DMA 结束高字节 （EDMAND<12:8>） | | | | | ---0 0000 | 75 |
| EDMADSTL | DMA 目标低字节 （EDMADST<7:0>） | | | | | | | | 0000 0000 | 75 |
| EDMADSTH | — | — | — | DMA 目标高字节 （EDMAST<12:8>） | | | | | ---0 0000 | 75 |
| EDMACSL | DMA 校验和低字节 （EDMACS<7:0>） | | | | | | | | 0000 0000 | 76 |
| EDMACSH | DMA 校验和高字节 （EDMACS<15:8>） | | | | | | | | 0000 0000 | 76 |
| EHT0 | 哈希表字节 0 （EHT<7:0>） | | | | | | | | 0000 0000 | 52 |
| EHT1 | 哈希表字节 1 （EHT<15:8>） | | | | | | | | 0000 0000 | 52 |
| EHT2 | 哈希表字节 2 （EHT<23:16>） | | | | | | | | 0000 0000 | 52 |
| EHT3 | 哈希表字节 3 （EHT<31:24>） | | | | | | | | 0000 0000 | 52 |
| EHT4 | 哈希表字节 4 （EHT<39:32>） | | | | | | | | 0000 0000 | 52 |
| EHT5 | 哈希表字节 5 （EHT<47:40>） | | | | | | | | 0000 0000 | 52 |
| EHT6 | 哈希表字节 6 （EHT<55:48>） | | | | | | | | 0000 0000 | 52 |
| EHT7 | 哈希表字节 7 （EHT<63:56>） | | | | | | | | 0000 0000 | 52 |
| EPMM0 | 格式匹配屏蔽字节 0 （EPMM<7:0>） | | | | | | | | 0000 0000 | 51 |
| EPMM1 | 格式匹配屏蔽字节 1 （EPMM<15:8>） | | | | | | | | 0000 0000 | 51 |
| EPMM2 | 格式匹配屏蔽字节 2 （EPMM<23:16>） | | | | | | | | 0000 0000 | 51 |
| EPMM3 | 格式匹配屏蔽字节 3 （EPMM<31:24>） | | | | | | | | 0000 0000 | 51 |
| EPMM4 | 格式匹配屏蔽字节 4 （EPMM<39:32>） | | | | | | | | 0000 0000 | 51 |
| EPMM5 | 格式匹配屏蔽字节 5 （EPMM<47:40>） | | | | | | | | 0000 0000 | 51 |
| EPMM6 | 格式匹配屏蔽字节 6 （EPMM<55:48>） | | | | | | | | 0000 0000 | 51 |
| EPMM7 | 格式匹配屏蔽字节 7 （EPMM<63:56>） | | | | | | | | 0000 0000 | 51 |
| EPMCSL | 格式匹配校验和低字节 （EPMCS<7:0>） | | | | | | | | 0000 0000 | 51 |
| EPMCSH | 格式匹配校验和高字节 （EPMCS<15:0>） | | | | | | | | 0000 0000 | 51 |

**图注：** x = 未知， u = 不变，— = 未用， q = 取值视情况而定， r = 保留，不能修改。

**注 1：** CLKRDY 在上电复位时复位为 0，而在其他复位时不受影响。

**2：** EREVID 是只读寄存器。

**3：** ECOCON 在上电复位时为 “---- -100”，但在其他复位时为 “---- -uuu”。

表 3-2： ENC28J60 控制寄存器汇总 （续）

| 寄存器名称 | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 | 复位时的值 | 详细信息所在页 |
|---|---|---|---|---|---|---|---|---|---|---|
| EPMOL | 格式匹配偏移地址低字节 （EPMO<7:0>） | | | | | | | | 0000 0000 | 51 |
| EPMOH | — | — | — | 格式匹配偏移地址高字节 （EPMO<12:8>） | | | | | ---0 0000 | 51 |
| EWOLIE | UCWOLIE | AWOLIE | — | PMWOLIE | MPWOLIE | HTWOLIE | MCWOLIE | BCWOLIE | 00-0 0000 | 72 |
| EWOLIR | UCWOLIF | AWOLIF | — | PMWOLIF | MPWOLIF | HTWOLIF | MCWOLIF | BCWOLIF | 00-0 0000 | 73 |
| ERXFCON | UCEN | ANDOR | CRCEN | PMEN | MPEN | HTEN | MCEN | BCEN | 1010 0001 | 48 |
| EPKTCNT | 以太网数据包计数 | | | | | | | | 0000 0000 | 43 |
| MACON1 | — | — | — | LOOPBK | TXPAUS | RXPAUS | PASSALL | MARXEN | ---0 0000 | 34 |
| MACON2 | MARST | RNDRST | — | — | MARXRST | RFUNRST | MATXRST | TFUNRST | 10-- 0000 | 61 |
| MACON3 | PADCFG2 | PADCFG1 | PADCFG0 | TXCRCEN | PHDRLEN | HFRMEN | FRMLNEN | FULDPX | 0000 0000 | 35 |
| MACON4 | — | DEFER | BPEN | NOBKOFF | — | — | LONGPRE | PUREPRE | -000 --00 | 36 |
| MABBIPG | — | 背对背包间间隔 （BBIPG<6:0>） | | | | | | | -000 0000 | 37 |
| MAIPGL | — | 非背对背包间间隔低字节 （MAIPGL<6:0>） | | | | | | | -000 0000 | 34 |
| MAIPGH | — | 非背对背包间间隔高字节 （MAIPGH<6:0>） | | | | | | | -000 0000 | 34 |
| MACLCON1 | — | — | — | — | 重发最大次数 （RETMAX<3:0>） | | | | ---- 1111 | 34 |
| MACLCON2 | — | — | 冲突窗口 （COLWIN<5:0>） | | | | | | --11 0111 | 34 |
| MAMXFLL | 最大帧长度低字节 （MAMXFL<7:0>） | | | | | | | | 0000 0000 | 34 |
| MAMXFLH | 最大帧长度高字节 （MAMXFL<15:8>） | | | | | | | | 0000 0110 | 34 |
| MAPHSUP | RSTINTFC | — | — | r | RSTRMII | — | — | r | 0--1 0--0 | 62 |
| MICON | RSTMII | — | — | — | — | — | — | — | 0--- ---- | 21 |
| MICMD | — | — | — | — | — | — | MIISCAN | MIIRD | ---- --00 | 21 |
| MIREGADR | — | — | — | MII 寄存器地址 （MIREGADR<4:0>） | | | | | ---0 0000 | 19 |
| MIWRL | MII 写数据低字节 （MIWR<7:0>） | | | | | | | | 0000 0000 | 19 |
| MIWRH | MII 写数据高字节 （MIWR<15:8>） | | | | | | | | 0000 0000 | 19 |
| MIRDL | MII 读数据低字节 （MIRD<7:0>） | | | | | | | | 0000 0000 | 19 |
| MIRDH | MII 读数据高字节 （MIRD<15:8>） | | | | | | | | 0000 0000 | 19 |
| MAADR1 | MAC 地址字节 1 （MAADR<15:8>） | | | | | | | | 0000 0000 | 34 |
| MAADR0 | MAC 地址字节 0 （MAADR<7:0>） | | | | | | | | 0000 0000 | 34 |
| MAADR3 | MAC 地址字节 3 （MAADR<31:24>） | | | | | | | | 0000 0000 | 34 |
| MAADR2 | MAC 地址字节 2 （MAADR<23:16>） | | | | | | | | 0000 0000 | 34 |
| MAADR5 | MAC 地址字节 5 （MAADR<48:41>） | | | | | | | | 0000 0000 | 34 |
| MAADR4 | MAC 地址字节 4 （MAADR<40:32>） | | | | | | | | 0000 0000 | 34 |
| EBSTSD | 内置自测试填充种子 （EBSTSD<7:0>） | | | | | | | | 0000 0000 | 80 |
| EBSTCON | PSV2 | PSV1 | PSV0 | PSEL | TMSEL1 | TMSEL0 | TME | BISTST | 0000 0000 | 79 |
| EBSTCSL | 内置自测试校验和低字节 （EBSTCS<7:0>） | | | | | | | | 0000 0000 | 80 |
| EBSTCSH | 内置自测试校验和高字节 （EBSTCS<15:8>） | | | | | | | | 0000 0000 | 80 |
| MISTAT | — | — | — | — | r | NVALID | SCAN | BUSY | ---- 0000 | 22 |
| EREVID(2) | — | — | — | 以太网版本 ID （EREVID<4:0>） | | | | | ---q qqqq | 22 |
| ECOCON(3) | — | — | — | — | — | COCON2 | COCON1 | COCON0 | ---- -100 | 6 |
| EFLOCON | — | — | — | — | — | FULDPXS | FCEN1 | FCEN0 | ---- -000 | 56 |
| EPAUSL | 暂停定时器值低字节 （EPAUS<7:0>） | | | | | | | | 0000 0000 | 57 |
| EPAUSH | 暂停定时器值高字节 （EPAUS<15:8>） | | | | | | | | 0001 0000 | 57 |

图注： x = 未知， u = 不变，— = 未用， q = 取值视情况而定， r = 保留，不能修改。

注 1： CLKRDY 在上电复位时复位为 0，而在其他复位时不受影响。

2： EREVID 是只读寄存器。

3： ECOCON 在上电复位时为 “---- -100”，但在其他复位时为 “---- -uuu”。

### 3.1.1 ECON1 寄存器

寄存器 3-1 所示为 ECON1 寄存器，它用于控制 ENC28J60 的主要功能。ECON1 中包含接收使能、发送请求、 DMA 控制和存储区选择位。

**寄存器 3-1： ECON1：以太网控制寄存器 1**

| R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| TXRST | RXRST | DMAST | CSUMEN | TXRTS | RXEN | BSEL1 | BSEL0 |
| bit 7 | | | | | | | bit 0 |

bit 7 **TXRST**：发送逻辑复位位
1 = 发送逻辑保持在复位状态
0 = 正常工作

bit 6 **RXRST**：接收逻辑复位位
1 = 接收逻辑保持在复位状态
0 = 正常工作

bit 5 **DMAST**：DMA 起始和忙碌状态位
1 = 正在进行 DMA 复制或校验和操作
0 = DMA 硬件空闲

bit 4 **CSUMEN**：DMA 校验和使能位
1 = DMA 硬件计算校验和
0 = DMA 硬件复制缓冲存储器

bit 3 **TXRTS**：发送请求位
1 = 发送逻辑正在尝试发送数据包
0 = 发送逻辑空闲

bit 2 **RXEN**：接收使能位
1 = 通过当前过滤器的数据包将被写入接收缓冲器
0 = 忽略所有接收的数据包

bit 1-0 **BSEL1:BSEL0**：存储区选择位
11 = SPI 访问 Bank 3 中的寄存器
10 = SPI 访问 Bank 2 中的寄存器
01 = SPI 访问 Bank 1 中的寄存器
00 = SPI 访问 Bank 0 中的寄存器

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

### 3.1.2 ECON2 寄存器

寄存器 3-2 所示的 ECON2 寄存器用于控制 ENC28J60 的其他主要功能。

**寄存器 3-2： ECON2：以太网控制寄存器 2**

| R/W-1 | W-0 | R/W-0 | U-0 | R/W-0 | U-0 | U-0 | U-0 |
|---|---|---|---|---|---|---|---|
| AUTOINC | PKTDEC | PWRSV | — | VRPS | — | — | — |
| bit 7 | | | | | | | bit 0 |

bit 7 **AUTOINC**：自动缓冲器指针递增使能位
1 = 当使用 SPI RBM/WBM 命令时，自动递增 ERDPT 和 EWRPT
0 = 在访问缓冲器后不自动递增 ERDPT 和 EWRPT

bit 6 **PKTDEC**：数据包递减位
1 = EPKTCNT 寄存器减 1
0 = 保持 EPKTCNT 不变

bit 5 **PWRSV**：节能使能位
1 = MAC、 PHY 和控制逻辑处于低功耗休眠模式
0 = 正常工作

bit 4 未用：读为 0

bit 3 **VRPS**：稳压器节能使能位
当 PWRSV = 1 时：
1 = 内部稳压器处于低电流模式
0 = 内部稳压器处于正常电流模式
当 PWRSV = 0 时：
该位可为任意值；稳压器始终按器件需要输出电流。

bit 2-0 未用：读为 0

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

## 3.2 以太网缓冲器

以太网缓冲器包含供以太网控制器使用的发送和接收存储器。该缓冲器大小为 8 KB，分成单独的接收和发送缓冲空间。主控制器使用 SPI 接口可以对发送和接收存储器的容量和位置进行编程。

图 3-2 显示了缓冲空间之间的关系。

### 3.2.1 接收缓冲器

接收缓冲器由一个硬件管理的循环 FIFO 缓冲器构成。寄存器对 ERXSTH:ERXSTL 和 ERXNDH:ERXNDL 作为指针，定义缓冲器的容量和其在存储器中的位置。ERXST和ERXND指向的字节均包含在FIFO缓冲器内。

当从以太网接口接收数据字节时，这些字节被顺序写入接收缓冲器。但是当写入由 ERXND 指向的存储单元后，硬件会自动将接收的下一字节写入由 ERXST 指向的存储单元。因此接收硬件将不会写入 FIFO 以外的单元。

当接受逻辑被禁止时，主控制器可以对 ERXST 和 ERXND 指针进行编程。当接收逻辑被使能时（ECON1.RXEN 置 1），不允许修改指针。如有需要，指针可以跨越 1FFFh 边界转到 0000h ；但硬件仍将其作为一个 FIFO 处理。

ERXWRPTH:ERXWRPTL 寄存器定义硬件向 FIFO 中的哪个位置写入其接收到的字节。指针是只读的，在成功接收到一个数据包后，硬件会自动更新指针。指针可用于判断 FIFO 内剩余空间的大小。

ERXRDPT 寄存器定义禁止接收硬件写入的 FIFO 中的位置。在正常操作中，接收硬件将数据顺序写入，直到 ERXRDPT 所指单元 （不包括该单元）。如果 FIFO 已满，但仍有新数据到来，硬件也不会覆盖先前已接收的数据，而是丢弃新数据而保留旧数据。为了能连续接收新数据，主控制器必须在处理完一些或全部接收的数据后周期性地递增指针。

### 3.2.2 发送缓冲器

8 KB 存储器内没有被设定为接收 FIFO 缓冲器的空间，均可作为发送缓冲器。主控制器负责管理数据包在发送缓冲器内的存放。 当主控制器决定发送数据包时，ETXST 和 ETXND 指针将被编程指向发送缓冲器内待发送数据包的地址。硬件不检查起始和结束地址是否跟接收缓冲器重叠。要防止缓冲器遭到破坏，在 ETXST 和 ETXND 指针指向接收缓冲器或 ETXND 指针靠近接收缓冲器时，主控制器要确保在上述时刻不发送数据包。欲了解更多信息，请参见**第 7.1 节 “发送数据包”**。

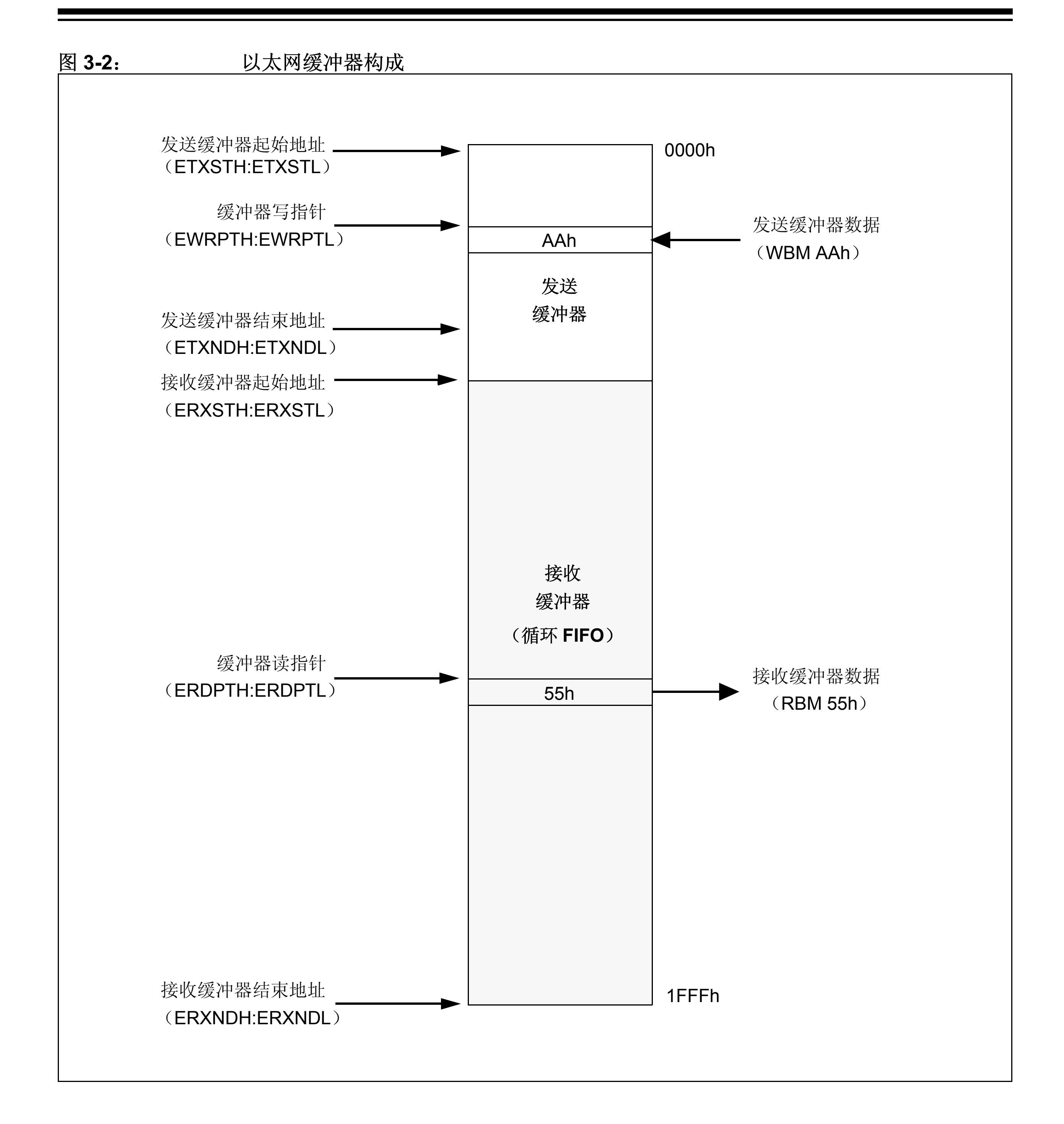
### 3.2.3 读写缓冲器

主控制器通过独立的读写指针（ERDPT 和 EWRPT），以及读、写缓冲器的 SPI 命令访问以太网缓冲器的内容。当顺序读取接收缓冲器时，在读完接收缓冲存储器的底部数据后会折回到开始部分继续读取。当顺序写缓冲器时不会发生这种情况。欲了解更多信息，请参见**第 4.2.2 节 “读缓冲存储器命令”**和**第 4.2.4 节 “写缓冲器命令”**。

### 3.2.4 DMA 访问缓冲器

在计算校验和时，集成的 DMA 控制器必须读缓冲器；当复制存储空间时，必须读写缓冲器。DMA 遵循与 SPI 访问相同的折回规则。当顺序读取时，DMA 在读到接收缓冲器末尾后折回。但所有的写操作不会折回。欲了解更多信息，请参见**第 13.0 节“直接存储器访问控制器”**。

图 3-2： 以太网缓冲器构成



## 3.3 PHY 寄存器

PHY 寄存器提供 PHY 模块的配置和控制功能，以及操作的状态信息。所有PHY寄存器都为16位宽。共有32 个 PHY 地址单元，但只可使用其中的 9 个。对未用单元的写操作无效，而读操作将返回 0。所有保留单元应写为 0，当读取时其内容被忽略。

与 ETH、MAC 和 MII 控制寄存器或缓冲器不同， PHY 寄存器不能通过 SPI 控制接口直接访问，而是通过一组带有 MIIM（Media Independent Interface for Management）的特殊 MAC 控制寄存器来访问的。这些控制寄存器被称为 MII 寄存器。寄存器 3-3 和寄存器 3-4 给出了这些寄存器的具体信息。

### 3.3.1 读 PHY 寄存器

读 PHY 寄存器可以获取其完整的 16 位值。

要读 PHY 寄存器：

1. 将要读取的 PHY 寄存器的地址写入 MIREGADR 寄存器。
2. 将 MICMD.MIIRD 置 1 开始读操作，同时 MISTAT.BUSY 位置 1。
3. 等待 10.24 μs。查询 MISTAT.BUSY 位以确定操作是否完成。当忙时，主控制器不应开始任何 MIISCAN 操作或写 MIWRH 寄存器。

   当 MAC 得到寄存器内容时，BUSY 位会自动清零。
4. 将 MICMD.MIIRD 位清零。
5. 从 MIRDL 和 MIRDH 寄存器中读取所需数据。先读哪一个寄存器都可以。

### 3.3.2 写 PHY 寄存器

当写 PHY 寄存器时，将一次写入全部的 16 位数据，不能对位进行写操作。如果只需要重新编程寄存器中的某几位，控制器必须首先读 PHY 寄存器，修改读到的数据，然后将数据写回 PHY 寄存器。

要写 PHY 寄存器：

1. 将要写入的 PHY 寄存器的地址写入 MIREGADR 寄存器。
2. 将数据的低 8 位写入 MIWRL 寄存器。
3. 将数据的高8位写入MIWRH寄存器。对MIWRH 寄存器的写操作会自动启动 MII 事务，所以必须在写入 MIWRL 后才能写入该寄存器。MISTAT.BUSY 位置 1。

在 MII 操作完成后写 PHY 寄存器，用时 10.24 μs。当写操作完成后，BUSY 位将自动清零。在忙时主控制器不应开始 MIISCAN 或 MIIRD 操作。

### 3.3.3 扫描 PHY 寄存器

可将 MAC 配置为对 PHY 寄存器自动执行背对背读操作。在需要周期性更新状态信息的情况下，能极大地降低主控制器的复杂度。要执行扫描操作：

1. 将要读取的 PHY 寄存器的地址写入 MIREGADR 寄存器。
2. 将 MICMD.MIISCAN 位置 1，开始扫描操作，同时 MISTAT.BUSY 位置 1。在 10.24 μs 后完成第一次读操作。以相同的时间间隔完成后续的读操作，直到操作被取消。可以通过查询 MISTAT.NVALID 位来确定第一次读操作完成的时间。

在将 MIISCAN 位置 1 后，每经过 10.24 μs 均会自动更新MIRDL和MIRDH寄存器。没有状态信息可显示MIRD 寄存器被更新的时间。因为主控制器通过 SPI 一次只能读一个 MII 寄存器，所以不能说是同时通过 PHY 读取 MIRDL 和 MIRDH 的值。

当进行 MIISCAN 操作时，禁止主控制器写 MIWRH 或开始 MIIRD 操作。可以通过将 MICMD.MIISCAN 位清零先取消 MIISCAN 操作，然后查询 MISTAT.BUSY 位。在 BUSY 位清零后可开始新的操作。

**表 3-3： ENC28J60 PHY 寄存器汇总**

| 地址 | 名称 | Bit 15 | Bit 14 | Bit 13 | Bit 12 | Bit 11 | Bit 10 | Bit 9 | Bit 8 | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 | 复位值 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 00h | PHCON1 | PRST | PLOOPBK | — | — | PPWRSV | r | — | PDPXMD[1] | r | — | — | — | — | — | — | — | 00-- 10-q 0--- ---- |
| 01h | PHSTAT1 | — | — | — | PFDPX | PHDPX | — | — | — | — | — | — | — | — | LLSTAT | JBSTAT | — | ---1 1--- ---- -00- |
| 02h | PHID1 | PHY 标识符 （PID18:PID3）= 0083h | | | | | | | | | | | | | | | | 0000 0000 1000 0011 |
| 03h | PHID2 | PHY 标识符 （PID24:PID19）= 000101 | | | | | | PHY P/N （PPN5:PPN0）= 00h | | | | | | PHY 版本 （PREV3:PREV0）= 00h | | | | 0001 0100 0000 0000 |
| 10h | PHCON2 | — | FRCLNK | TXDIS | r | r | JABBER | r | HDLDIS | r | r | r | r | r | r | r | r | -000 0000 0000 0000 |
| 11h | PHSTAT2 | — | — | TXSTAT | RXSTAT | COLSTAT | LSTAT | DPXSTAT[1] | — | — | — | — | PLRITY | — | — | — | — | --00 00q- ---0 ---- |
| 12h | PHIE | r | r | r | r | r | r | r | r | r | r | r | PLNKIE | r | r | PGEIE | r | 0000 0000 0000 0000 |
| 13h | PHIR | r | r | r | r | r | r | r | r | r | r | r | PLNKIF | r | PGIF | r | r | xxxx xxxx xx00 00x0 |
| 14h | PHLCON | r | r | r | r | LACFG3:LACFG0 | | | | LBCFG3:LBCFG0 | | | | LFRQ1:LFRQ0 | | STRCH | r | 0011 0100 0010 001x |

图注： x = 未知， u = 不变，— = 未用， q = 取值视情况而定， r = 保留，不可修改。

注 1： 双工模式 / 状态位的复位值取决于 LED 与 LEDB 引脚的连接方式 （欲知更多信息，请参见**第 2.6 节 “LED 配置”**）。

**寄存器 3-3： MICON：MII 控制寄存器**

| R/W-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 |
|---|---|---|---|---|---|---|---|
| RSTMII | — | — | — | — | — | — | — |
| bit 7 | | | | | | | bit 0 |

bit 7 **RSTMII**：MII 管理模块复位位
1 = MII 管理模块保持在复位状态
0 = 正常操作

bit 6-0 未用：读为 0

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

**寄存器 3-4： MICMD：MII 命令寄存器**

| U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| — | — | — | — | — | — | MIISCAN | MIIRD |
| bit 7 | | | | | | | bit 0 |

bit 7-2 未用：读为 0

bit 1 **MIISCAN**：MII 扫描使能位
1 = 连续读 MIREGADR 中的 PHY 寄存器，并把数据写入 MIRD
0 = 不在进行 MII 管理扫描操作

bit 0 **MIIRD**：MII 读使能位
1 = 读 MIREGADR 中的 PHY 寄存器一次，并把数据写入 MIRD
0 = 不在进行 MII 管理读操作

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

**寄存器 3-5： MISTAT：MII 状态寄存器**

| U-0 | U-0 | U-0 | U-0 | R-0 | R-0 | R-0 | R-0 |
|---|---|---|---|---|---|---|---|
| — | — | — | — | r | NVALID | SCAN | BUSY |
| bit 7 | | | | | | | bit 0 |

bit 7-4 未用：读为 0

bit 3 保留：保持为 0

bit 1 **NVALID**：MII 管理读数据无效位
1 = MIRD 内容仍然无效
0 = MII 管理读周期已完成并且 MIRD 已被更新

bit 1 **SCAN**：MII 管理扫描操作位
1 = 正在进行 MII 管理扫描操作
0 = 不在进行 MII 管理扫描操作

bit 0 **BUSY**：MII 管理忙位
1 = 当前正在读或写 PHY 寄存器
0 = MII 管理接口空闲

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | r = 保留位，保持为 0 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

### 3.3.4 PHSTAT 寄存器

PHSTAT1 和 PHSTAT2 寄存器内包含有一些只读位，可以显示 PHY 模块的当前工作状态，特别是与网络其他部分通信的状态。

PHSTAT1 寄存器（寄存器 3-6）包含 LLSTAT 位，在上一次读寄存器后如果物理层链路出现故障，该位会清零并保持低电平。主控制器周期性查询该位可确定链路出现故障的时间。在没有使用链路状态变化中断的情况下，该方法尤其适用。

PHSTAT1 寄存器还包含一个闲聊 （Jabber）状态位。如果以太网控制器连续不断地发送数据，不让其他节点共享介质，那么就称以太网在 “闲聊”。通常闲聊状态表明本地控制器严重违反了 IEEE 规范定义的最大数据包长度规定。该位保持高电平表明自上一次读寄存器起发生了闲聊状态。

PHSTAT2 寄存器（寄存器 3-7）包含的状态位表明 PHY 模块是否连接到网络，是否在发送或接收数据。

### 3.3.5 PHID1 和 PHID2 寄存器

PHID1 和 PHID2 寄存器为只读寄存器。它们保存的常数可帮助识别以太网控制器，也可以用于调试。这些常数包括：

- PHY 模块的部件编号 （PPN5:PPN0）
- PHY 模块的版本号 （PREV3:PREV0）
- PHY 标识符 （PID24:PID3），作为 Microchip OUI （Organization Unique Identifier）的一部分

PHY 部件编号和版本号位于 PHID2 内。PHY 标识符的两个高字节位于 PHID1，余下部分位于 PHID2。表 3-3 给出了它们在寄存器内的具体位置。

在 EREVID 内也存储了版本信息。EREVID 是一个只读控制寄存器，包含一个 5 位标识符，用来标识器件特定硅片的版本号。欲知该寄存器的详细信息，请参见表 3-2。

**寄存器 3-6： PHSTAT1：物理层状态寄存器 1**

| U-0 | U-0 | U-0 | R-1 | R-1 | U-0 | U-0 | U-0 |
|---|---|---|---|---|---|---|---|
| — | — | — | PFDPX | PHDPX | — | — | — |
| bit 15 | | | | | | | bit 8 |

| U-0 | U-0 | U-0 | U-0 | U-0 | R/LL-0 | R/LH-0 | U-0 |
|---|---|---|---|---|---|---|---|
| — | — | — | — | — | LLSTAT | JBRSTAT | — |
| bit 7 | | | | | | | bit 0 |

bit 15-13 未用：读为 0

bit 12 **PFDPX**：PHY 全双工能力位
1 = PHY 在全双工模式下能工作在 10 Mbps 频率下 （该位始终置 1）

bit 11 **PHDPX**：PHY 半双工能力位
1 = PHY 在半双工模式下能工作在 10 Mbps 频率下 （该位始终置 1）

bit 10-3 未用：读为 0

bit 2 **LLSTAT**：PHY 锁存链路状态位
1 = 链路激活，并且自上一次读 PHSTAT1 后链路一直处于激活状态
0 = 链路失效，或自上一次读 PHSTAT1 后失效了一段时间

bit 1 **JBRSTAT**：PHY 锁存闲聊状态位
1 = 自上一次读 PHYSTAT1 后， PHY 检测到某个发送符合闲聊条件
0 = 自上一次读 PHYSTAT1 后， PHY 未检测到任何闲聊发送

bit 0 未用：读为 0

| 图注： | | | |
|---|---|---|---|
| R = 只读位 | R/L = 只读锁存位 | U = 未用位，读为 0 | |
| 1 = 上电复位时置 1 | 0 = 上电复位时清零 | LL = 保持低电平位 | LH = 保持高电平位 |

**寄存器 3-7： PHSTAT2：物理层状态寄存器 2**

| U-0 | U-0 | R-0 | R-0 | R-0 | R-0 | R-x | U-0 |
|---|---|---|---|---|---|---|---|
| — | — | TXSTAT | RXSTAT | COLSTAT | LSTAT | DPXSTAT[(1)] | — |
| bit 15 | | | | | | | bit 8 |

| U-0 | U-0 | U-0 | R-0 | U-0 | U-0 | U-0 | U-0 |
|---|---|---|---|---|---|---|---|
| — | — | — | PLRITY | — | — | — | — |
| bit 7 | | | | | | | bit 0 |

bit 15-14 未用：读为 0

bit 13 **TXSTAT**：PHY 发送状态位
1 = PHY 正在发送数据
0 = PHY 未发送数据

bit 12 **RXSTAT**：PHY 接收状态位
1 = PHY 正在接收数据
0 = PHY 未接收数据

bit 11 **COLSTAT**：PHY 冲突状态位
1 = 发生冲突
0 = 未发生冲突

bit 10 **LSTAT**：PHY 链路状态位 （不锁存）
1 = 链路激活
0 = 链路失效

bit 9 **DPXSTAT**：PHY 双工状态位 [(1)]
1 = PHY 被配置为全双工工作模式 （PHCON1.PDPXMD 位置 1）
0 = PHY 被配置为半双工工作模式 （PHCON1.PDPXMD 位清零）

注 **1**：双工模式状态位的复位值取决于 LED 同 LEDB 引脚的连接方式 （欲知更多信息，请参见**第 2.6 节 “LED 配置”**）。

bit 8-5 未用：读为 0

bit 4 **PLRITY**：极性状态位
1 = TPIN+/TPIN- 上信号极性是反向的
0 = TPIN+/TPIN- 上信号极性是正向的

bit 3-0 未用：读为 0

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知位 |

## 4.0 串行外设接口 （SPI）

### 4.1 概述

ENC28J60 可与许多单片机上的串行外设接口 （Serial Peripheral Interface， SPI）直接相连。此器件只支持 SPI 的模式 0,0。另外，SPI 端口要求 SCK 在空闲状态时为低电平，并且不支持时钟极性选择。

在 SCK 的每个上升沿移入数据，命令和数据通过 SI 引脚送入器件。ENC28J60 在 SCK 的下降沿从 SO 引脚输出数据。当执行操作时 $\overline{CS}$ 引脚必须保持低电平，当操作完成时返回高电平。

图 4-1： SPI 输入时序

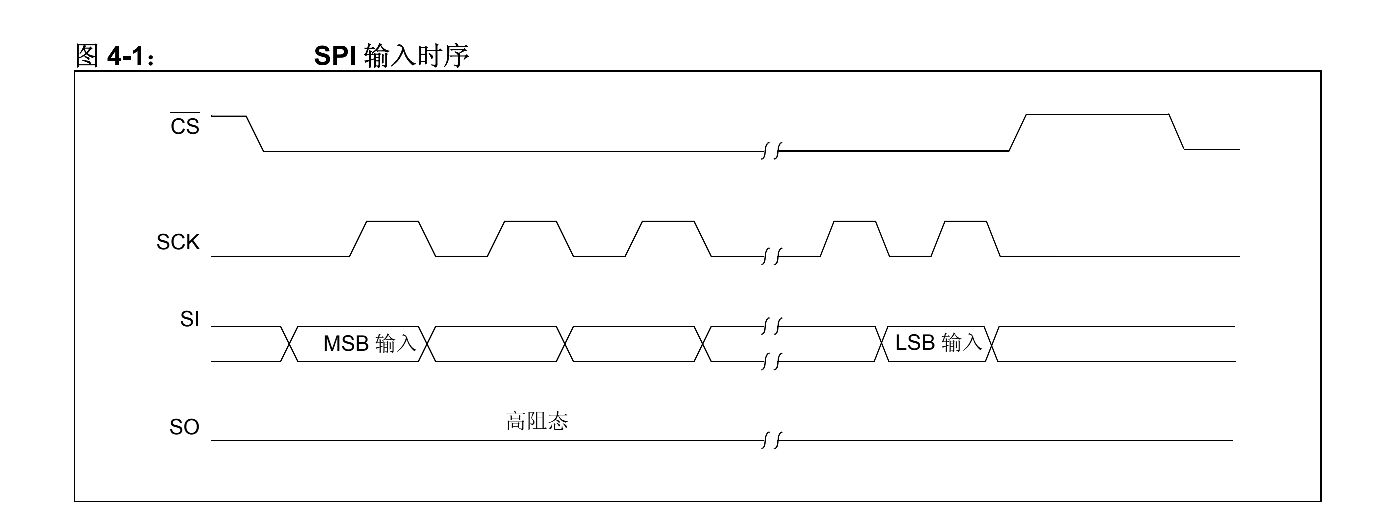
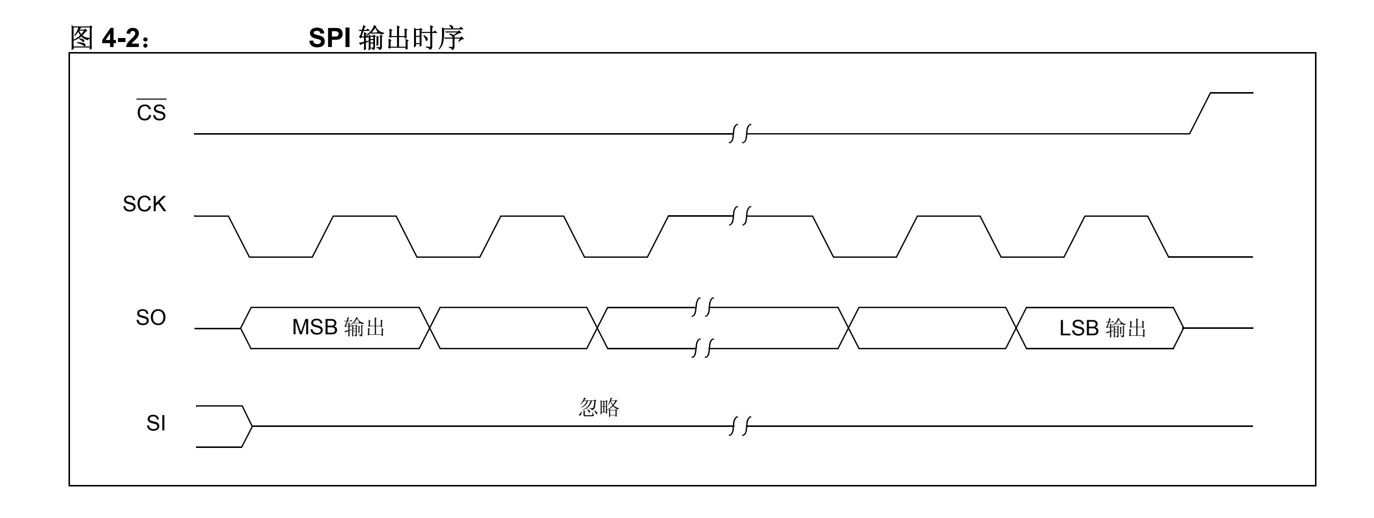



图 4-2： SPI 输出时序



## 4.2 SPI 指令集

ENC28J60 所执行的操作完全依据外部主控制器通过 SPI 接口发出的命令。这些命令为一个或多个字节的指令，用于访问控制存储器和以太网缓冲区。指令至少包含一个 3 位操作码和一个用于指定寄存器地址或数据常量的 5 位参数。写和位域指令后还会有一个或多个字节的数据。

ENC28J60 共有七条指令。表 4-1 显示了所有操作的命令代码。

**表 4-1： ENC28J60 的 SPI 指令集**

| 指令名称和助记符 | 字节 0 | | | | | | | | 字节 1 和后面的字节 | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 操作码 | | | 参数 | | | | | 数据 | | | | | | | |
| 读控制寄存器 （RCR） | 0 | 0 | 0 | a | a | a | a | a | N/A | | | | | | | |
| 读缓冲器 （RBM） | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | N/A | | | | | | | |
| 写控制寄存器 （WCR） | 0 | 1 | 0 | a | a | a | a | a | d | d | d | d | d | d | d | d |
| 写缓冲器 （WBM） | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | d | d | d | d | d | d | d | d |
| 位域置 1 （BFS） | 1 | 0 | 0 | a | a | a | a | a | d | d | d | d | d | d | d | d |
| 位域清零 （BFC） | 1 | 0 | 1 | a | a | a | a | a | d | d | d | d | d | d | d | d |
| 系统命令 （软件复位）（SC） | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | N/A | | | | | | | |

图注： a = 控制寄存器地址， d = 数据有效负载。

### 4.2.1 读控制寄存器的命令

读控制寄存器（Read Control Register，RCR）命令允许主控制器随意读取 ETH、 MAC 和 MII 寄存器。通过特殊的 MII 寄存器接口可以读取 PHY 寄存器的内容（欲知更多信息，请参见第 **3.3.1 节 "读 PHY 寄存器"**）。

将 $\overline{CS}$ 引脚拉为低电平启动 RCR 命令。然后将 RCR 操作码和随后的 5 位寄存器地址 （A4 到 A0）发送给 ENC28J60。5 位地址决定将使用当前存储区中 32 个控制寄存器中的哪一个。如果 5 位地址指向的是一个 ETH 寄存器，那么选定寄存器中的数据会立即开始从 SO 引脚移出，最高位在前。图 4-3 显示了这些寄存器的读取序列。

如果地址指向了一个 MAC 或 MII 寄存器，则首先从 SO 引脚移出一个无效数据字节，随后从SO引脚移出数据，最高位在前。通过拉高 $\overline{CS}$ 引脚的电平可结束 RCR 操作。图 4-4 给出了读 MAC 和 MII 寄存器的命令序列。

**图 4-3：** 读控制寄存器的命令序列 （**ETH** 寄存器）

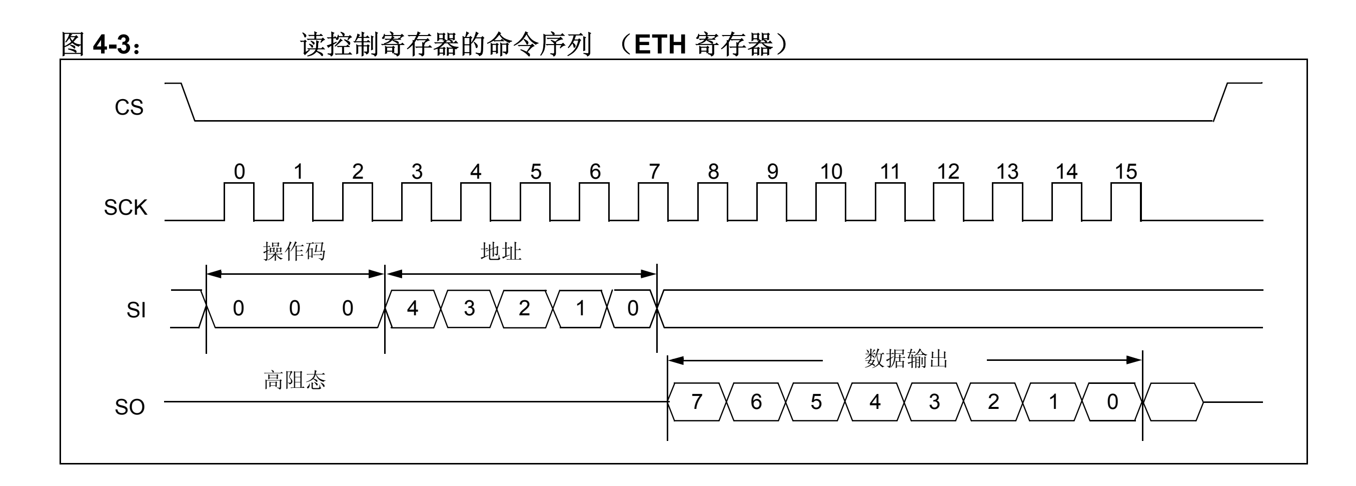
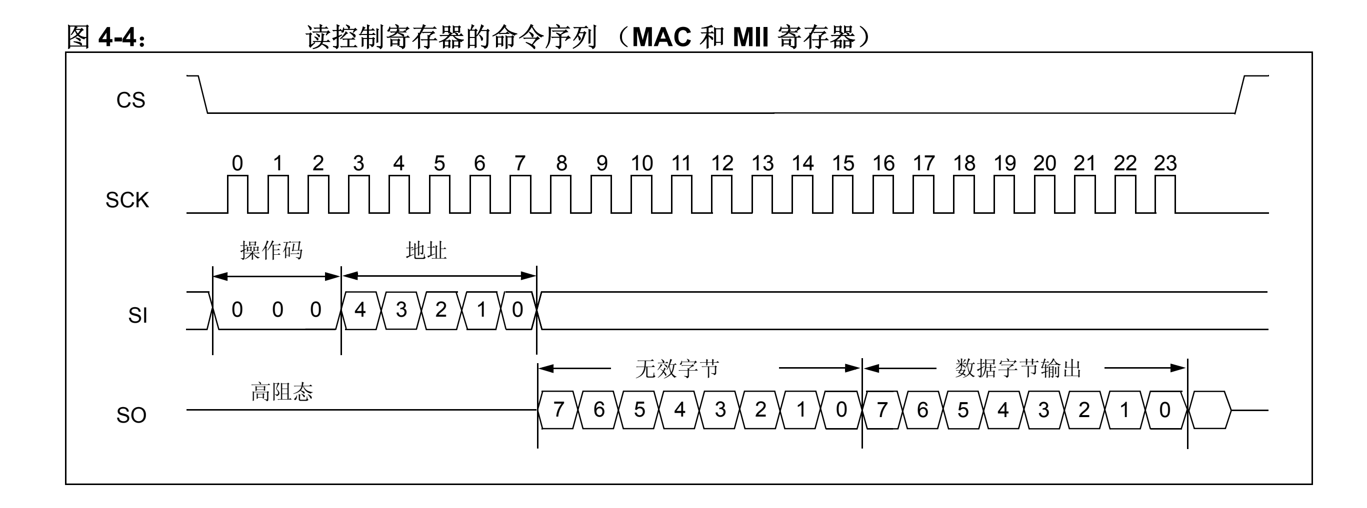



**图 4-4：** 读控制寄存器的命令序列 （**MAC** 和 **MII** 寄存器）



### 4.2.2 读缓冲存储器命令

读缓冲存储器（Read Buffer Memory，RBM）命令允许主控制器从 8 KB 发送和接收缓冲存储器中读取字节。

如果 ECON2 寄存器中的 AUTOINC 位置 1，那么在读完每个字节的最后一位之后， ERDPT 指针将会自动地递增指向下一个地址。正常情况下下一个地址为当前地址加 1。然而，如果读取了接收缓冲器中的最后一个字节 （ERDPT = ERXND），则 ERDPT 指针将转而指向接收缓冲器的起始单元。这样主控制器可以从接收缓冲器中连续读取数据包，而无须跟踪何时需要折回。当读取地址 1FFFh 时，如果 AUTOINC 被置 1，且 ERXND 没有指向该地址时，则读指针将递增并折回到 0000h。

将 $\overline{CS}$ 引脚拉为低电平启动 RBM 命令。然后将 RBM 操作码及随后的 5 位常量 1Ah 发送给 ENC28J60。在发送 RBM 命令和常量后，由 ERDPT 指向的存储器中的数据将从 SO 引脚移出，首先移出最高位。如果主控制器继续在 SCK 引脚提供时钟信号，而没有拉高 $\overline{CS}$ 的电平，ERDPT 指向的字节将再次从 SO 引脚移出，同样首先移出最高位。当 AUTOINC 被使能时，使用该方式就可以连续地从缓冲存储器中顺序读取字节而无需多余的 SPI 命令。拉高 $\overline{CS}$ 引脚电平可以结束 RBM 命令。

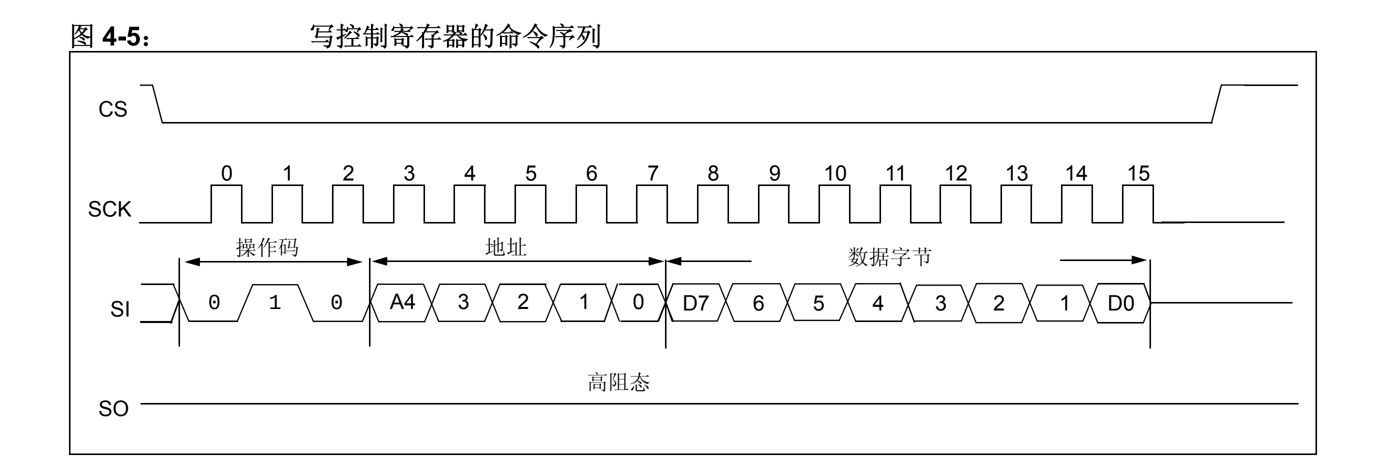
### 4.2.3 写控制寄存器的命令

写控制寄存器（Write Control Register，WCR）命令允许主控制器以任何次序写入 ETH、 MAC 和 MII 控制寄存器。通过特殊的 MII 寄存器接口对 PHY 寄存器执行写操作 （欲知更多信息，请参见**第 3.3.2 节 “写 PHY 寄存器”**）。

将 $\overline{CS}$ 引脚拉为低电平启动 WCR 命令。然后将 WCR 操作码及随后的 5 位地址（A4 到 A0）发送给 ENC28J60。5 位地址决定要使用当前存储区中 32 个控制寄存器中的哪一个。在发送 WCR 命令和地址后，发送要实际写入的数据，首先发送最高位。在 SCK 的上升沿，数据被写入目标寄存器。

拉高 $\overline{CS}$ 引脚的电平可结束 WCR 操作。如果在装载 8 个位前， $\overline{CS}$ 线变为高电平，则将中止这个数据字节的写操作。字节写序列的详细说明，请参见图 4-5 中的时序图。

**图 4-5： 写控制寄存器的命令序列**




 高级信息 

### 4.2.4 写缓冲器命令

写缓冲存储器（Write Buffer Memory， WBM）命令允许主控制器将字节写入 8KB 发送和接收缓冲存储器。

如果 ECON2 寄存器中的 AUTOINC 位置 1，那么在写完每个字节的最后一位之后， EWRPT 指针将会自动地递增指向下一个地址（当前地址加 1）。如果写入地址 1FFF 且 AUTOINC 置 1，则写指针加 1 指向 0000h。

将 $\overline{CS}$ 引脚拉为低电平启动 WBM 命令。然后将 WBM 操作码及随后的 5 位常量 1Ah 送入 ENC28J60。在发送 WBM 命令和常量之后，由 EWRPT 指向的存储器中的数据将移入 ENC28J60，首先移入最高位。在接收到 8 个数据位后，如果 AUTOINC 置 1，写指针将自动递增。主控制器可以继续在 SCK 引脚提供时种信号、在 SI 引脚发送数据同时保持 $\overline{CS}$ 为低电平，从而可以连续写入存储器。当 AUTOINC 被使能时，以该方式就可以连续地向缓冲存储器写入字节而无需多余的 SPI 命令。

拉高 $\overline{CS}$ 引脚电平可结束 WBM 命令。关于写序列的详细说明，请参见图 4-6。

### 4.2.5 位域置 1 命令

位域置 1（Bit Field Set，BFS）命令用于将 ETH 控制寄存器中最多 8 位置 1。注意此命令不能用于 MAC 寄存器、MII 寄存器、PHY 寄存器或缓冲存储器。BFS 命令使用提供的数据字节与给定地址寄存器的内容执行位逻辑或运算。

将 $\overline{CS}$ 引脚拉为低电平启动 BFS 命令。然后，发送 BFS 操作码及随后的 5 位地址（A4 到 A0）。5 位地址决定要使用当前存储区中的哪一个ETH寄存器。在发送BFS 命令和地址后，应该发送包含位域置 1 信息的数据字节，首先发送最高位。在 SCK 引脚信号的上升沿会将所提供数据与指定寄存器内容作 D0 位的逻辑或运算。

如果在装载 8 个位以前， $\overline{CS}$ 线变为高电平，则将中止这个数据字节的操作。拉高 $\overline{CS}$ 引脚电平可结束 BFS 命令。

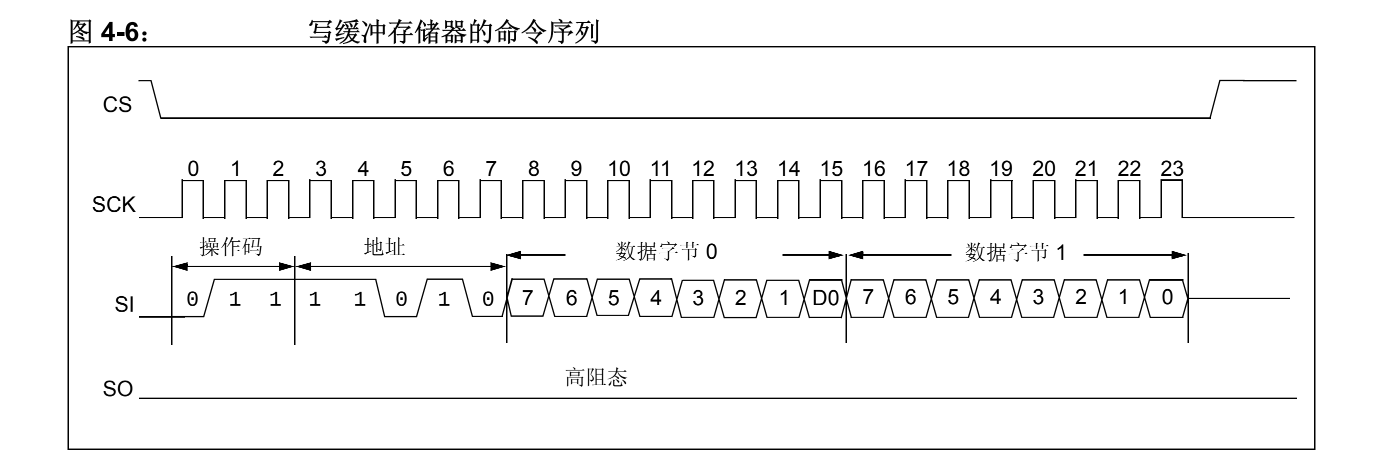
### 4.2.6 位域清零命令

位域清零（Bit Field Clear， BFC）命令用于将 ETH 控制寄存器中最多 8 位清零。注意此命令不能用于 MAC 寄存器、MII 寄存器、PHY 寄存器或缓冲存储器。BFC 命令使用提供的数据字节与给定地址寄存器的内容进行逻辑位非与运算。比如：如果一个寄存器的内容是 F1h，对 17h 操作数执行了 BFC 命令，那么此寄存器内容将变为 E0h。

将 $\overline{CS}$ 引脚拉为低电平启动 BFC 命令。然后，发送 BFC 操作码及随后的 5 位地址（A4 到 A0）。5 位地址决定要使用当前存储区中的哪一个 ETH 寄存器。在发送 BFC 命令和地址之后，应该发送包含位域清零信息的数据字节，首先发送最高位。在 SCK 引脚信号的上升沿会将所提供数据取反，并接着与指定寄存器的内容进行 D0 位的逻辑与运算。

拉高 $\overline{CS}$ 引脚电平可结束 BFC 命令。如果在装载 8 个位前， $\overline{CS}$ 变为高电平，则将中止这个数据字节的操作。

**图 4-6：** 写缓冲存储器的命令序列



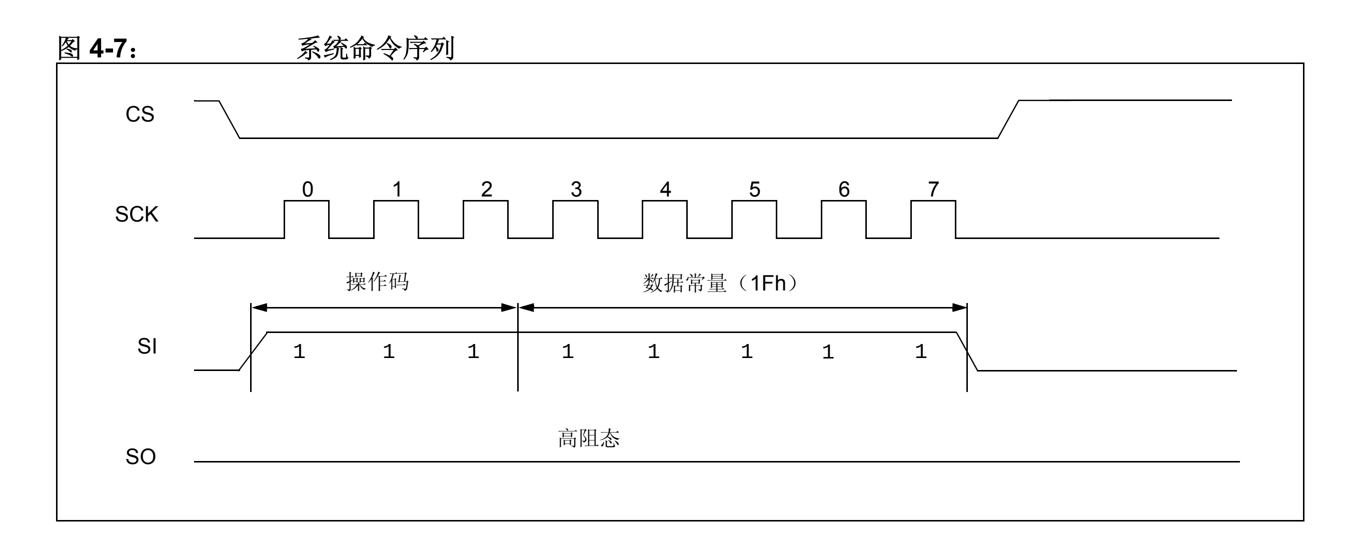
### 4.2.7 系统命令

系统命令（System Command， SC）允许主控制器发送系统软复位命令。不像其他的 SPI 命令， SC 仅仅是个单字节命令并且不对任何寄存器执行操作。

将 $\overline{CS}$ 引脚拉为低电平启动 SC 命令。然后，发送 SC 操作码及随后的5位软复位命令常量1Fh。通过拉高 $\overline{CS}$ 引脚电平可结束 SC 操作。图 4-7 给出了系统命令序列的详细说明。

有关 SC 软复位的更多信息，请参见**第 11.2 节 “系统复位”**。

**图 4-7： 系统命令序列**





高级信息

## 5.0 以太网概述

在讨论将 ENC28J60 用作以太网接口之前，回顾一下典型的数据帧结构会有帮助的。需要了解更多信息的用户可以参考作为以太网协议基础的 IEEE 标准 802.3。

## 5.1 数据包格式

符合 IEEE 802.3 标准的以太网帧的长度一般介于 64 字节与 1518 字节之间。它们由五个或六个不同的字段组成，这些字段分别是：目标 MAC 地址、源 MAC 地址、类型 / 长度字段 、数据有效负载、可选的填充字段和循环冗余校验（Cyclic Redundancy Check，CRC）字段。另外，当通过以太网介质发送数据包时，一个 7 字节的前导字段和一个字节的帧起始定界符将被附加到以太网数据包的开头。因此，在双绞线上的传输格式将如图 5-1 所示。

### 5.1.1 前导字段 / 帧起始定界符

当使用 ENC28J60 发送数据时，将自动生成前导字段和帧起始定界符字节；当使用 ENC28J60 接收数据时，将自动从数据包剥离前导字段和帧起始定界符字节。主控制器无需介入对它们的处理。通常，主控制器也无需介入对填充和 CRC 的处理，因为 ENC28J6 也将在发送数据时自动生成它们，在接收数据时对它们进行自动校验。然而，当数据包到达时，填充和 CRC 字段将被写入接收缓冲器，所以必要时主控制器可以对它们进行评估。



**图 5-1：** 以太网数据包格式

| 字节数 | 字段 | 注释 |
|---|---|---|
| 7 | 前导字段 | 被 MAC 滤除 |
| 1 | SFD | 帧起始定界符（被 MAC 滤除） |
| 6 | DA | 目标地址，例如组播、广播或单播地址 |
| 6 | SA | 源地址 |
| 2 | 类型 / 长度 | 数据包的类型或数据包的长度 |
| 46-1500 | 数据<br>填充 | 数据包有效负载（和可选的填充字段） |
| 4 | FCS(1) | 帧校验序列——CRC |

用于计算 FCS：DA、SA、类型 / 长度、数据、填充

注 1：发送 FCS 时，首先发送 bit 31 最后发送 bit 0。

### 5.1.2 目标地址

目标地址字段是一个六字节的字段，装有数据包发往的设备的 MAC 地址。如果 MAC 地址中第一个字节的最低有效位为 1，则该地址是组播目标地址。例如，01-00-00-00-F0-00 和 33-45-67-89-AB-CD 是组播地址，而 00-00-00-00-F0-00 和 32-45-67-89-AB-CD 不是组播地址。

带有组播目标地址的数据包将被送达一组选定的以太网节点。如果目标地址字段是保留的组播地址 FF-FF-FF-FF-FF-FF，则该数据包是广播数据包，它将被发送给共享该网络的每一个节点。如果 MAC 地址中第一个字节的最低有效位为 0，则该地址是单播地址，数据包将仅供具有该地址的节点使用。

ENC28J60 具有一个接收过滤器，它可以用来丢弃或接收具有组播、广播和 / 或单播目标地址的数据包。发送数据包时，主控制器负责将所需的目标地址写入发送缓冲器。

### 5.1.3 源地址

源地址字段是一个六字节的字段，装有创建该以太网数据包的节点的 MAC 地址。ENC28J60 的用户必须为每个控制器生成一个惟一的 MAC 地址。

MAC地址由两个部分组成。前三个字节称为组织惟一标识符（Organizationally Unique Identifier，OUI）。OUI 由 IEEE 分配。后三个字节是由购买该 OUI 的公司定义的地址字节。

发送数据包时，主控制器必须将分配的源 MAC 地址写入发送缓冲器。ENC28J60 将不会自动发送 MAADR 寄存器的内容， MAADR 寄存器供单播接收过滤器和单播 WOL 过滤器使用。

### 5.1.4 类型 / 长度

类型 / 长度字段是一个两字节的字段，它定义其后的数据包属于何种协议。另外，如果该字段被填充的数值小于等于 05DCh （1500），则该字段将被视为一个长度字段，它指定数据字段中非填充数据的长度。实现专用网络的用户可以选择将此字段用作长度字段，而使用诸如 Internet 协议（Internet Protocol，IP）或地址解析协议（Address Resolution Protocol， ARP）的应用在发送数据包时，需将此字段编程为由协议规范所定义的相应类型。

### 5.1.5 数据

数据字段的长度可在 0 与 1500 字节之间变化。超过这个范围的数据包是违反以太网标准的，它将被大多数以太网节点丢弃。然而，当巨大帧使能位被置 1（MACON3.HFRMEN = 1）时，ENC28J60 能够发送和接收超大规格的数据包。

### 5.1.6 填充

填充字段是一个长度可变的字段，当使用较小的数据有效负载时，添加该字段以满足 IEEE 802.3 规范的要求。以太网数据包的目标、源、类型和填充字段加在一起不能小于 60 字节，再加上必需的 4 字节 CRC 字段，数据包不能小于 64 字节。如果数据字段小于 46 字节，则需要使用填充字段。

当发送数据包时， ENC28J60 会自动产生 0 填充（如果 MACON3.PADCFG<2:0> 位被配置为执行此操作）。否则，主控制器应该在发送数据包前为其添加填充字段。当主控制器命令发送大小不足的数据包时， ENC28J60 并不会阻止该操作。

当接收数据包时， ENC28J60 会自动拒绝小于 18 字节的数据包。18 字节或更大的数据包符合标准接收过滤条件，可被作为正常通信数据接受。

### 5.1.7 CRC

CRC 字段是一个四字节字段，它包含一个行业标准的 32 位 CRC 值，该 CRC 值是通过对目标、源、类型、数据和填充字段中的数据进行计算得出的。

当接收数据包时，ENC28J60 将检查每个传入数据包的 CRC。如果 ERXFCON.CRCEN 位置 1，将自动丢弃具有无效 CRC 的数据。 如果 CRCEN 清零并且该数据包符合除 CRC 外所有其他的接收过滤条件，则该数据包将被写入接收缓冲器，主控制器将通过读取接收状态向量来确定该 CRC 是否有效（见**第 7.2 节“接收数据包”**）。

当发送数据包时， ENC28J60 将自动生成一个有效的 CRC 并发送它（如果 MACON3.PADCFG<2:0> 位被配置为执行此操作）。否则，必须由主控制器生成 CRC，并将它放在发送缓冲器中。鉴于计算 CRC 的复杂性，强烈建议对 PADCFG 位进行配置从而使 ENC28J60 自动生成 CRC 字段。

 高级信息 

## 6.0 初始化

在使用 ENC28J60 发送和接收数据包前，必须对器件进行初始化设置。根据应用的不同，一些配置选项可能需要更改。通常初始化任务会在复位后立即完成，并且不再需要更改。

## 6.1 接收缓冲器

在接收数据包前，必须编程 ERXST 和 ERXND 指针来对接收缓冲器进行初始化。 ERXST 和 ERXND 之间的存储空间（包括这两个地址）专供接收硬件使用。建议用偶地址编程 ERXST 指针。

使用大量数据并经常交换数据包的应用可能希望把大部分存储空间分配为接收缓冲器。需要保存已发数据或有一些数据包需要发送的应用应分配较少的接收存储空间。

当编程 ERXST 指针时，会用相同的值自动更新 ERXWRPT 寄存器。接收硬件将从 ERXWRPT 中的地址开始写入已收到的数据。为跟踪接收的数据，ERXRDPT 寄存器也需要用相同的值编程。要编程 ERXRDPT，主控制器必须首先写入 ERXRDPTL，然后写入 ERXRDPTH。欲知更多信息，请参见**第 7.2.4 节“释放接收缓冲空间”**。

## 6.2 发送缓冲器

所有未被用作接收缓冲器的存储空间都作为发送缓冲器。要发送的数据应写入未使用的空间。但在发送完一个数据包后，硬件会在存储器中数据包最后一个字节后写入一个 7 字节的状态向量。因此主控制器应在接收缓冲器的开始和每个包之间预留至少 7 个字节。不需要对发送缓冲器进行特定的初始化。

## 6.3 接收过滤器

应通过写ERXFCON寄存器使能或禁止相应的接收过滤器。请参见**第 8.0 节“接收过滤器”**，了解该寄存器的配置方法。

## 6.4 等待 OST

如果在上电复位后立即执行初始化，应查询 ESTAT.CLKRDY 位，确保在开始修改 MAC 和 PHY 寄存器前已经过足够的时间。欲了解更多关于 OST 的信息，请参见**第 2.2 节“振荡器起振定时器”**。

## 6.5 MAC 初始化设置

在初始化过程中需要配置一些 MAC 寄存器。这些寄存器只需配置一次，而编程的顺序并不重要。

1. 将 MACON2 中的 MARST 位清零，使 MAC 退出复位状态。
2. 将 MACON1 中 MARXEN 位置 1，使能 MAC 接收数据帧。如果使用全双工模式，大多数应用还需将 TXPAUS 和 RXPAUS 置 1，以使能 IEEE 定义的流量控制。
3. 配置 MACON3 中的 PADCFG、 TXCRCEN 和 FULDPX 位。大多数应用应使能自动填充（达到至少 60 字节），并始终追加一个有效的 CRC。为了方便起见，许多应用可能还希望将 FRMLNEN 位置 1，使能帧长度状态报告。如果应用连接到全双工远程节点，则应将 FULDPX 置 1，否则应保持该位清零。
4. 配置 MACON4 中的位。许多应用不需要修改默认的复位值。
5. 用允许接收或发送的最大帧长度编程 MAMXFL 寄存器。网络节点一般被设计为处理不大于 1518 字节的数据包。
6. 配置背对背包间间隔寄存器 MABBIPG。当使用全双工模式时，大多数应用使用 15h 编程该寄存器，而使用半双工模式时则使用 12h 进行编程。
7. 配置非背对背包间间隔寄存器的低字节 MAIPGL。大多数应用使用 12h 编程该寄存器。
8. 如果使用半双工模式，应编程非背对背包间间隔寄存器的高字节 MAIPGH。大多数应用使用 0Ch 编程该寄存器。
9. 如果使用半双工模式，还需编程重发和冲突窗口寄存器 MACLCON1 和 MACLCON2。大多数应用不需要更改默认的复位值。在网络线缆特别长的情况下，需要增加 MACLCON2 的默认值。
10. 将本地 MAC 地址写入 MAADR0:MAADR5 寄存器。

**寄存器 6-1： MACON1：MAC 控制寄存器 1**

| U-0 | U-0 | U-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| — | — | — | LOOPBK | TXPAUS | RXPAUS | PASSALL | MARXEN |
| bit 7 | | | | | | | bit 0 |

bit 7-5 未用：读为 0

bit 4 **LOOPBK**：MAC 环回使能位
1 = 所有 MAC 发送的数据将环回到相应的 MAC
0 = 正常操作

bit 3 **TXPAUS**：暂停控制帧发送使能位
1 = 允许 MAC 发送暂停控制帧 （用于全双工模式下的流量控制）
0 = 禁止暂停帧发送

bit 2 **RXPAUS**：暂停控制帧接收使能位
1 = 当接收到暂停控制帧时，禁止发送 （正常操作）
0 = 忽略接收到的暂停控制帧

bit 1 **PASSALL**：放行所有接收到的帧使能位
1 = MAC 接收的控制帧如果没有被过滤掉，将被写入接收缓冲器。
0 = 控制帧在 MAC 处理后被丢弃 （正常操作）

bit 0 **MARXEN**：MAC 接收使能位
1 = 允许 MAC 接收数据包
0 = 禁止数据包接收

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

**寄存器 6-2： MACON3：MAC 控制寄存器 3**

| R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| PADCFG2 | PADCFG1 | PADCFG0 | TXCRCEN | PHDRLEN | HFRMEN | FRMLNEN | FULDPX |
| bit 7 | | | | | | | bit 0 |

bit 7-5 **PADCFG2:PACDFG0**：自动填充和 CRC 配置位

111 = 用 0 填充所有短帧至 64 字节长，并追加一个有效的 CRC
110 = 不自动填充短帧
101 = MAC 自动检测具有 8100h 类型字段的 VLAN 协议帧，并自动填充到 64 字节长。如果不是 VLAN 帧，则填充至 60 字节长。填充后还要追加一个有效的 CRC
100 = 不自动填充短帧
011 = 用 0 填充所有短帧至 64 字节长，并追加一个有效的 CRC
010 = 不自动填充短帧
001 = 用 0 填充所有短帧至 60 字节长，并追加一个有效的 CRC
000 = 不自动填充短帧

bit 4 **TXCRCEN**：发送 CRC 使能位

1 = 不管PADCFG如何，MAC都会在发送帧的末尾追加一个有效的CRC。如果PADCFG规定要追加有效的 CRC，则必须将 TXCRCEN 置 1。
0 = MAC 不会追加 CRC。检查最后 4 个字节，如果不是有效的 CRC 则报告给发送状态向量。

bit 3 **PHDRLEN**：专用报头使能位

1 = MAC 接收的帧包含一个 4 字节的专用报头，它不用于计算 CRC
0 = 无专用报头 。计算 CRC 时应包含所有数据 （正常操作）。

bit 2 **HFRMEN**：超大帧使能位

1 = 允许发送和接收任何大小的帧
0 = 如果发送或接收的帧大于 MAMXFL，则中止传输

bit 1 **FRMLNEN**：帧长度校验使能位

1 = 校验发送和接收帧的类型/长度字段。 如果字段代表长度，则比较帧大小，并向发送/接收状态向量报告不匹配状态。
0 = 不将帧长度与类型 / 长度字段作比较

bit 0 **FULDPX**：MAC 全双工使能位

1 = MAC 工作在全双工模式下。PHCON1.PDPXMD 位必须置 1。
0 = MAC 工作在半双工模式下。PHCON1.PDPXMD 位必须清零。

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

**寄存器 6-3： MACON4：MAC 控制寄存器 4**

| U-0 | R/W-0 | R/W-0 | R/W-0 | U-0 | U-0 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| — | DEFER | BPEN | NOBKOFF | — | — | LONGPRE | PUREPRE |
| bit 7 | | | | | | | bit 0 |

bit 7 未用：读为 0

bit 6 **DEFER**：延期发送使能位 （仅适用于半双工模式）
1 = 当介质被占用时， MAC 会无限期等待，直到介质空闲才尝试发送
0 = 当介质被占用时，经过一段等待延时 （2.4287 ms）之后， MAC 将中止发送

bit 5 **BPEN**：背压流量控制期间无 Backoff 使能位 （仅适用于半双工模式）
1 = 在背压流量控制期间意外发生冲突后， MAC 立即开始重新发送
0 = 在背压流量控制期间意外发生冲突后，MAC 在尝试重发前等待一段延时（该延时使用二进制指数 Backoff 算法计算得到）（正常操作）

bit 4 **NOBKOFF**：无 Backoff 使能位 （仅适用于半双工模式）
1 = 冲突后 MAC 立即开始重发
0 = 冲突后 MAC 在尝试重发前等待一段延时（该延时使用二进制指数 Backoff 算法计算得到）（正常操作）

bit 3-2 未用：读为 0

bit 1 **LONGPRE**：长前导符强制使能位
1 = 如果接收的数据包的前导符为 12 或更多字节长，则该数据包将被拒绝
0 = 如果接收的数据包的前导符为 12 或更多字节长，则该数据包不被拒绝 （正常操作）

bit 0 **PUREPRE**：纯前导符强制使能位
1 = 将接收到的数据包的前导符对照 55h 进行校验。如果出现错误，则丢弃该数据包。
0 = 不对接收到的数据包的前导符进行校验。

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

**寄存器 6-4： MABBIPG：MAC 背对背包间间隔寄存器**

| U-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| — | BBIPG6 | BBIPG5 | BBIPG4 | BBIPG3 | BBIPG2 | BBIPG1 | BBIPG0 |
| bit 7 | | | | | | | bit 0 |

bit 7 未用：读为 0

bit 6-0 **BBIPG6:BBIPG0**：背对背包间间隔延时位

当 MACON3.FULDPX = 1 时：

在背对背序列中，从前一次发送结束到下一次发送开始之间有半字节时间 （nibble time）的延时。应使用整数倍的半字节时间减 3 对该寄存器进行编程。建议将该寄存器设置为 15h，表示 IEEE 规定的最小包间间隔 （IPG）时间 9.6 μs。

当 MACON3.FULDPX = 0 时：

在背对背序列中，从前一次发送结束到下一次发送开始之间有半字节时间的延时。应使用整数倍的半字节时间减 6 对该寄存器进行编程。建议将该寄存器设置为 12h，表示 IEEE 规定的最小包间间隔 （IPG）时间 9.6 μs。

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

## 6.6 PHY 初始化设置

根据不同的应用，需要对 3 个 PHY 模块寄存器中的位进行配置。

PHCON1.PDPXMD 位用于控制器件半 / 全双工的某些配置。通常通过外部电路对该位进行正确地初始化（见**第 2.6 节 “LED 配置”**）。但如果外部电路不存在或不正确，主控制器必须正确编程该位。另外外部系统也可以读 PDPXMD 位并将 FULDPX 位编程为与之相匹配的值。

要实现正确的双工操作，PHCON1.PDPXMD 位还必须与 MACON3.FULDPX 位的值匹配。

如果使用半双工模式，主控制器可能希望将 PHCON2.HDLDIS 置 1 以阻止发送数据的自动环回。

PHY 寄存器 PHLCON 控制 LEDA 和 LEDB 的输出。如果应用要求将LED 设置为非默认配置，则必须相应更改 PHLCON 以匹配新的设置。在**第 2.6 节 “LED 配置”**中讨论了 LED 操作的设置。PHLCON 寄存器如寄存器 2-2 所示 （第 9 页）。

**寄存器 6-5： PHCON2：PHY 控制寄存器 2**

| U-0 | R/W-0 | R/W-0 | R/W-x | R/W-x | R/W-0 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| — | FRCLNK | TXDIS | r | r | JABBER | r | HDLDIS |
| bit 15 | | | | | | | |

| R/W-x | R/W-x | R/W-x | R/W-x | R/W-x | R/W-x | R/W-x | R/W-x |
|---|---|---|---|---|---|---|---|
| r | r | r | r | r | r | r | r |
| bit 7 | | | | | | | bit 0 |

bit 15 未用：读为 0

bit 14 **FRCLNK**：PHY 强制连接位
1 = 即使在没有检测到连接对象时也强制连接
0 = 正常操作

bit 13 **TXDIS**：双绞线发送器禁止位
1 = 禁止双绞线发送器
0 = 正常操作

bit 12-11 保留：写为 0

bit 10 **JABBER**：闲聊校正禁止位
1 = 禁止闲聊校正
0 = 正常操作

bit 9 保留：写为 0

bit 8 **HDLDIS**：PHY 半双工环回禁止位
当 PHCON1.PDPXMD = 1 或 PHCON1.PLOOPBK = 1 时：
此位可被忽略。
当 PHCON1.PDPXMD = 0 且 PHCON1.PLOOPBK = 0 时：
1 = 要发送的数据仅通过双绞线接口发出
0 = 要发送的数据会环回到 MAC 并通过双绞线接口发出

bit 7-0 保留：写为 0

| 图注： | r = 保留位 | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

## 7.0 发送和接收数据包

### 7.1 发送数据包

ENC28J60 内的 MAC 在发送时会自动生成前导符和帧起始定界符。此外，MAC 可根据配置生成填充（如果需要）和 CRC 字段。主控制器必须生成所有其他帧字段，并将它们写入缓冲存储器，以待发送。此外，ENC28J60 还要求在待发送的数据包前添加一个包控制字节。包控制字节的构成方式如图 7-1 所示。在发送数据包前，应按照**第 6.0 节 "初始化"**中的说明对改变发送特性的 MAC寄存器进行初始化。

欲了解整个发送数据包在存储空间中的存储和传送过程，请参见图 7-2。

**图 7-1：** 包控制字节格式

| — | — | — | — | PHUGEEN | PPADEN | PCRCEN | POVERRIDE |
|---|---|---|---|---|---|---|---|
| bit 7 | | | | | | | bit 0 |

bit 7-4 未用

bit 3 **PHUGEEN：**包超大帧使能位

<u>当 POVERRIDE = 1 时：</u>

1 = 整体发送数据包

0 = MAC 发送 MAMXFL 规定的最大字节数。如果数据包大于 MAMXFL，当发送的字节数达到 MAMXFL 时中止发送。

<u>当 POVERRIDE = 0 时：</u>

此位可被忽略。

bit 2 **PPADEN：**包填充使能位

<u>当 POVERRIDE = 1 时：</u>

1 = 如果数据包少于 60 字节，会使用 0 将其填充至 60 字节

0 = 直接发送数据包而不填充任何字节

<u>当 POVERRIDE = 0 时：</u>

此位可被忽略。

bit 1 **PCRCEN：**包 CRC 使能位

<u>当 POVERRIDE = 1 时：</u>

1 = 计算出一个有效的 CRC 并将其追加到帧尾

0 = 不追加 CRC。帧的最后 4 个字节作为 CRC 用于校验帧的有效性。

<u>当 POVERRIDE = 0 时：</u>

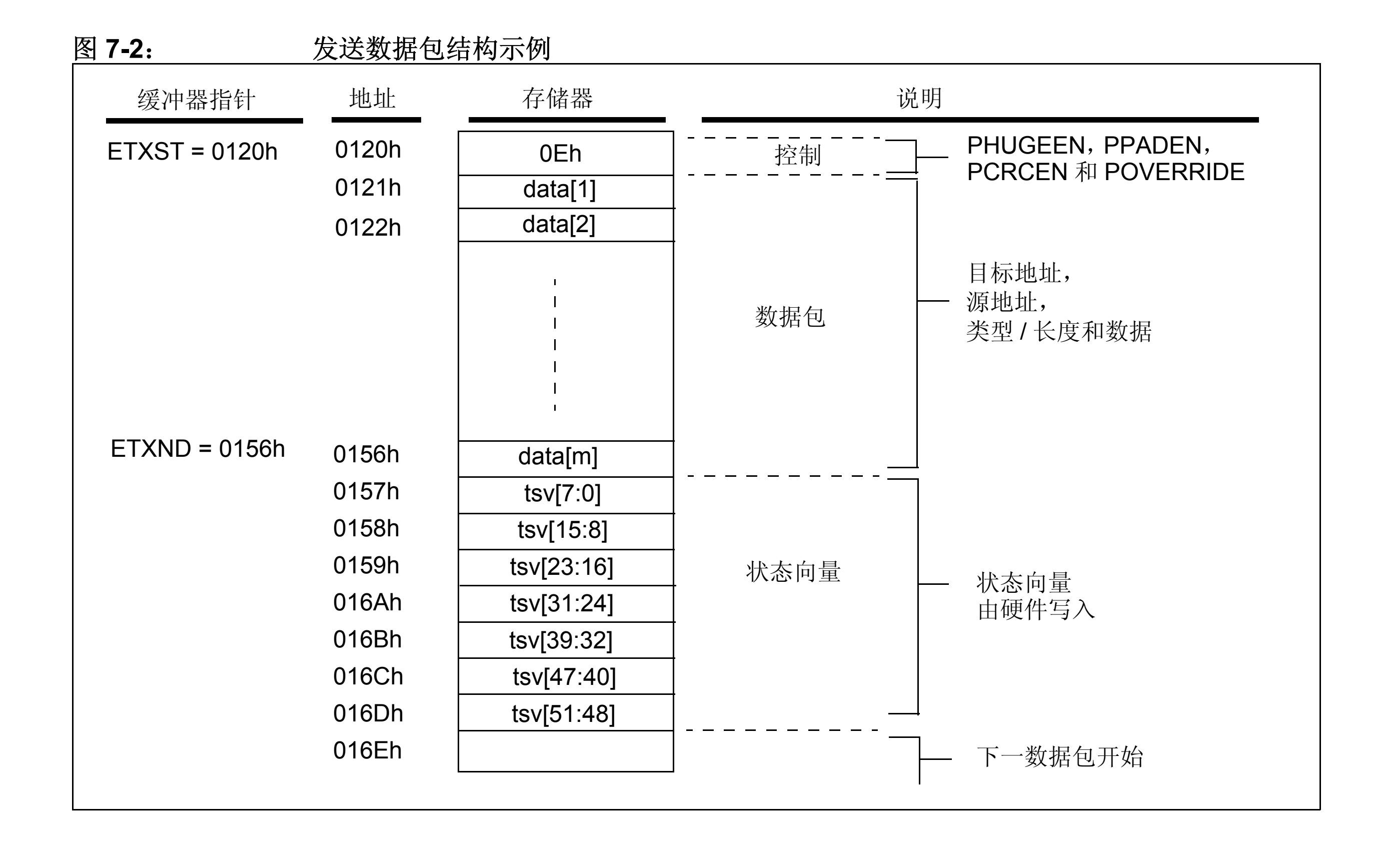
此位可被忽略。

bit 0 **POVERRIDE：**包改写位

1 = PCRCEN、 PPADEN 和 PHUGEEN 的值会改写由 MACON3 定义的配置

0 = MACON3 中的值用于确定数据包发送的方式

图 7-2： 发送数据包结构示例




要实现如图 7-2 给出的结构并发送数据包，主控制器应:

1. 正确编程 ETXST 指针，使之指向存储器中未用的单元。它将指向包控制字节。在本示例中，指针应编程为 0120h。建议 ETXST 使用偶地址。
2. 使用 WBM SPI 命令写入包控制字节、目标地址、源 MAC 地址、类型 / 长度和数据有效负载。
3. 正确编程 ETXND 指针。它应指向数据有效负载的最后一个字节。在本示例中，指针应编程为 0156h。
4. 将 EIR.TXIF 位清零、将 EIE.TXIE 位和 EIE.INTIE 位置 1 允许在发送完成后产生中断（如果需要）。
5. 将 ECON1.TXRTS 位置 1 开始发送。

如果在 TXRTS 位置 1 时正在进行 DMA 操作，ENC28J60 会等待 DMA 操作完成再发送。这种等待是必需的，因为 DMA 和发送引擎共享同一个存储器访问端口。同样如果在 TXRTS 已置 1 后，ECON1 中 DMAST 位才置 1，DMA 在 TXRTS 位清零前不会采取任何动作。如果正在进行发送，则不允许更改表 7-2 中任何一个非阴影位（EECON1 寄存器中的位除外）。此外，不应通过 SPI 读取或写入任何待发送的字节。主控制器将 TXRTS 位清零可取消发送。

如果数据包发送完成或因错误 / 取消而中止发送，ECON1.TXRTS 位会被清零，一个 7 字节的发送状态向量将被写入由 ETXND + 1 指向的单元，EIR.TXIF 会被置 1 并产生中断（如果允许）。ETXST 和 ETXND 指针将不会被修改。要验证数据包是否成功发送，应读取 ESTAT.TXABRT 位。如果该位置 1，主控制器在查询发送状态向量的各个字段外，还应查询 ESTAT.LATECOL 位，以确定失败的原因。发送状态向量的构成形式如表 7-1 所示。多字节字段以小尾数格式（little-endian）写入。

 高级信息 

表 7-1： 发送状态向量

| 位 | 域 | 说明 |
|---|---|---|
| 63-52 | 零 | 0 |
| 51 | 发送 VLAN 标记帧 | 帧的长度 / 类型字段包含 VLAN 协议标识符 8100h。 |
| 50 | 应用背压流控 | 已应用载波侦听式背压流控 |
| 49 | 发送暂停控制帧 | 发送的帧是带有有效暂停操作码的控制帧。 |
| 48 | 发送控制帧 | 发送的帧是控制帧。 |
| 47-32 | 线上发送的总字节数 | 当前数据包发送在线上的总字节数，包括所有冲突的字节。 |
| 31 | 发送欠载 | 保留。该位始终为 0。 |
| 30 | 发送特大帧 | 帧字节数超过 MAMXFL。 |
| 29 | 发送延时冲突 | 冲突发生在冲突窗口 （MACLCON2）外。 |
| 28 | 发送过度冲突 | 冲突数超出最大重发数 （MACLCON1）后中止数据包。 |
| 27 | 发送过度延期 | 数据包延期大于 24287 比特时间 （2.4287ms）。 |
| 26 | 发送数据包延期 | 数据包延期至少一次的时间但少于过度延期。 |
| 25 | 发送广播 | 数据包的目标地址是广播地址。 |
| 24 | 发送组播 | 数据包的目标地址是组播地址。 |
| 23 | 发送完成 | 数据包发送完成。 |
| 22 | 发送长度超出范围 | 表示帧类型 / 长度字段大于 1500 字节 （类型字段）。 |
| 21 | 发送长度校验错误 | 表示数据包中帧长度字段的值与实际的数据字节长度不匹配，它不是类型字段。MACON3.FRMLNEN 位必须置 1 以便捕获该错误。 |
| 20 | 发送 CRC 错误 | 数据包中附加的 CRC 与内部生成的 CRC 不匹配。 |
| 19-16 | 发送冲突数 | 在尝试发送当前数据包的过程中遇到冲突的次数。适用于成功发送的数据包，因此不会是可能发生冲突的最大次数 16 次。 |
| 15-0 | 发送字节数 | 帧中的总字节数，不包括冲突字节。 |

表 7-2： 与数据包发送相关的寄存器汇总

| 寄存器名称 | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 | 复位值所在页 |
|---|---|---|---|---|---|---|---|---|---|
| EIE | INTIE | PKTIE | DMAIE | LINKIE | TXIE | WOLIE | TXERIE | RXERIE | 13 |
| EIR | — | PKTIF | DMAIF | LINKIF | TXIF | WOLIF | TXERIF | RXERIF | 13 |
| ESTAT | INT | r | r | LATECOL | — | RXBUSY | TXABRT | CLKRDY | 13 |
| ECON1 | TXRST | RXRST | DMAST | CSUMEN | TXRTS | RXEN | BSEL1 | BSEL0 | 13 |
| ETXSTL | 发送起始低字节 （ETXST<7:0>） | | | | | | | | 13 |
| ETXSTH | — | — | — | 发送起始高字节 （ETXST<12:8>） | | | | | 13 |
| ETXNDL | 发送结束低字节 （ETXND<7:0>） | | | | | | | | 13 |
| ETXNDH | — | — | — | 发送结束高字节 （ETXND<12:8>） | | | | | 13 |
| MACON1 | — | — | — | LOOPBK | TXPAUS | RXPAUS | PASSALL | MARXEN | 14 |
| MACON2 | MARST | RNDRST | — | — | MARXRST | RFUNRST | MATXRST | TFUNRST | 14 |
| MACON3 | PADCFG2 | PADCFG1 | PADCFG0 | TXCRCEN | PHDRLEN | HFRMEN | FRMLNEN | FULDPX | 14 |
| MACON4 | — | DEFER | BPEN | NOBKOFF | — | — | LONGPRE | PUREPRE | 14 |
| MABBIPG | — | 背对背包间间隔 （BBIPG<6:0>） | | | | | | | 14 |
| MAIPGL | — | 非背对背包间间隔低字节 （MAIPGL<6:0>） | | | | | | | 14 |
| MAIPGH | — | 非背对背包间间隔高字节 （MAIPGH<6:0>） | | | | | | | 14 |
| MACLCON1 | — | — | — | — | 自动重发次数最大值 （RETMAX<3:0>） | | | | 14 |
| MACLCON2 | — | — | 冲突窗口 （COLWIN<5:0>） | | | | | | 14 |
| MAMXFLL | 最大帧长度低字节 （MAMXFL<7:0>） | | | | | | | | 14 |
| MAMXFLH | 最大帧长度高字节 （MAMXFL<15:8>） | | | | | | | | 14 |
| MAPHSUP | r | — | — | r | RSTRMII | — | — | r | 14 |

图注： — = 未用， r = 保留。不使用阴影单元。

## 7.2 接收数据包

### 7.2.1 使能接收

假设接收缓冲器已完成初始化，MAC已正确配置而且接收过滤器已配置为接收以太网数据包，主控制器应该：

1. 如果需要在接收到数据包时产生一个中断，请将 EIE.PKTIE 位和 EIE.INTIE 位置 1。
2. 如果需要在由于缓冲空间不足导致数据包丢失时产生一个中断，请将 EIR.RXERIF 位清零，并将 EIE.RXERIE 位和 EIE.INTIE 位置 1
3. 通过将 ECON1.RXEN 位置 1 使能接收。

在将 RXEN 置 1 后，将不能修改双工模式和接收缓冲器起始和结束指针。此外，要阻止不期望接收的数据包，在更改接收过滤器配置寄存器（ERXFCON）和 MAC 地址前建议将 RXEN 清零。

在使能接收后，没有过滤掉的数据包将写入循环接收缓冲器。任何不符合过滤条件的数据包将被丢弃，但主控制器无法识别一个数据包已被丢弃。当接收到一个数据包并将其完整写入缓冲器时， EPKTCNT 寄存器将递增， EIR.PKTIF 位将置 1，并产生一个中断（如果允许），同时硬件写指针 ERXWRPT 自动递增。

### 7.2.2 接收数据包结构

图 7-3 给出了接收数据包的结构。数据包由一个 6 字节的报头起始，该报头除包含反映接收状态（包括数据包大小）的接收状态向量外，还包含下一个数据包的指针。表 7-3 显示了接收状态向量。

如果数据包的最后一个字节结束于奇地址处，硬件在递增硬件写指针前会自动填充一个字节，使得所有数据包起始于偶地址边界。

**图 7-3：** 接收数据包结构示例

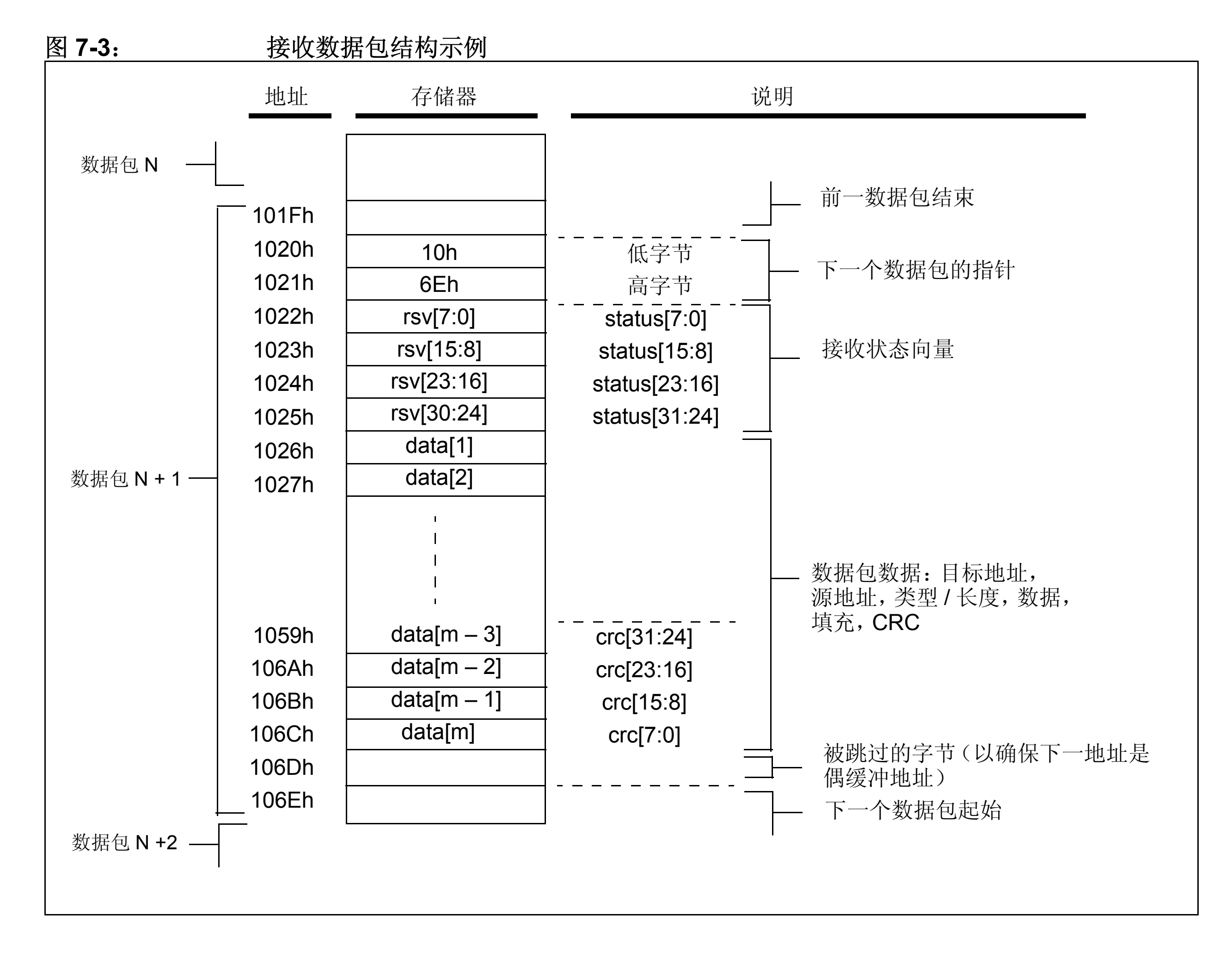


表 7-3： 接收状态向量

| 位 | 域 | 说明 |
|---|---|---|
| 31 | 零 | 0 |
| 30 | 接收检测为 VLAN 类型的帧 | 当前帧被确认为 VLAN 标识帧。 |
| 29 | 接收未知操作码 | 当前帧被确认为控制帧，但包含未知操作码。 |
| 28 | 接收暂停控制帧 | 当前帧被确认为包含有效暂停帧操作码和有效目标地址的控制帧。 |
| 27 | 接收控制帧 | 当前帧被确认为控制帧，因为其具有一个有效的类型 / 长度字段。 |
| 26 | 多余数据位 | 表示在接收到数据包后，又接收到额外的 1 到 7 位。这些额外接收到的位将被丢弃。 |
| 25 | 接收广播数据包 | 表示接收的数据包具有有效的广播地址。 |
| 24 | 接收组播数据包 | 表示接收的数据包具有有效的组播地址。 |
| 23 | 接收成功 | 表示数据包具有有效的 CRC，无符号错误。 |
| 22 | 长度超出范围 | 表示帧类型 / 长度字段大于 1500 字节 （类型字段）。 |
| 21 | 长度校验错误 | 表示数据包中帧长度字段的值与实际的数据长度不匹配，并指定了有效长度。 |
| 20 | CRC 错误 | 表示帧 CRC 字段的值与 MAC 计算所得的 CRC 不匹配。 |
| 19 | 保留 | |
| 18 | 已检测到的载波事件 | 表示字上次接收完成后的某一时刻检测到了载波事件。载波事件与该数据包无关。载波事件是接收通道上的活动，它不会导致尝试接收数据包。 |
| 17 | 保留 | |
| 16 | 长事件 / 丢失事件 | 表示一个数据包的接收时间超过 50,000 比特时间或自上次接收后一个数据包丢失了。 |
| 15-0 | 接收的字节数 | 表示接收的帧长度。包括目标地址、源地址、类型 / 长度、数据、填充和 CRC 字段。该字段以小尾 （little-endian）格式储存。 |

### 7.2.3 读接收的数据包

要处理数据包，主控制器通常使用 RBM SPI 命令从下一数据包指针的首地址开始读取。主控制器将保存下一数据包指针和接收状态向量的必要字节，然后继续读取数据包的内容。如果 ECON2.AUTOINC 位置 1，主控制器将能够顺序读取整个数据包，而无须修改 ERDPT 寄存器。读指针在循环缓冲器结束处会自动折回到起始处。

如果应用需要随机访问数据包，则必须手动计算正确的 ERDPT。当数据包跨越 ERXND 到 ERXST 的缓冲器边界时，注意不要超过接收缓冲器的低部。也就是说，给定数据包起始地址和所需偏移量，应用应遵循例 7-1 给出的逻辑关系。

例 7-1： 随机访问地址计算

```
如果数据包起始地址 + 偏移量 > ERXND，那么
        ERDPT = 数据包起始地址 + 偏移量 – (ERXND – ERXST + 1)
否则
        ERDPT = 数据包起始地址 + 偏移量
```

### 7.2.4 释放接收缓冲空间

在主控制器处理完一个数据包 （或部分数据包），并希望释放已处理数据占用的缓冲空间之后，主控制器就必须前移接收缓冲器读指针 ERXRDPT。ENC28J60 将一直写到接收缓冲器读指针指向的单元 （不包括所指单元）。如果 ENC28J60 尝试覆盖接收缓冲器读指针指向的单元，则会中止当前的数据包处理，将 EIR.RXERIF 置 1 并产生一个中断 （如果允许）。以这种方式，硬件始终不会覆盖未处理的数据包。通常 ERXRDPT 会前移到下一数据包指针 （位于当前数据包接收状态向量前）所指向的单元。遵循该过程不需要计算指针使之在循环接收缓冲器末尾折回。

接收缓冲器读指针低字节 （ERXRDPTL 寄存器）被内部缓冲，防止在只有一个字节通过 SPI 更新时移动指针。要移动 ERXRDPT，主控制器必须先写 ERXRDPTL。写操作会更新内部缓冲器，但不会影响该寄存器。当主控制器写 ERXRDPTH 的同时，将内部缓冲的低字节装入 ERXRDPTL 寄存器。 可以按任意顺序读取 ERXRDPT。当读取 ERXRDPT 时返回寄存器的实际值，因此无法读取缓冲的低字节。

除了前移接收缓冲器读指针，在每个数据包处理完成后，主控制器必须向 ECON2.PKTDEC 位写入 1。这样做会使 EPKTCNT 寄存器减 1。减 1 后，如果 EPKTCNT 为 0，EIR.PKTIF 标志位将自动清零。否则它保持置 1，表明接收缓冲器中还有数据包需要处理。尝试将 EPKTCNT 减到 0 以下的操作被视为无效。此外，如果 EPKTCNT 寄存器达到其最大值 255，即使缓冲空间仍有空间可用，所有接收到的新数据包仍将被丢弃。为了标出该错误，EIR.RXERIF 位会被置 1 并产生中断（如果允许）。要避免出现上述情况，主控制器必须在处理数据包时将计数器正确地减 1。

因为只有一个指针用于控制缓冲区的所有权，主控制器必须以接收顺序处理数据包。如果主控制器希望先保存数据包，稍后再处理，它应将该数据包复制到存储器中未用的单元。使用集成 DMA 控制器（见第 **13.0 节“直接存储器访问控制器”**）可以有效地完成该操作。

### 7.2.5 接收缓冲器剩余空间

在主控制器希望知道接收缓冲器剩余空间的大小时，它应读硬件写指针 （ERXWRPT 寄存器），并将它与 ERXRDPT 寄存器作比较。结合已知的接收缓冲器容量便可推算出剩余空间的大小。

| **注：** | 只有成功接收到数据包时才更新 ERXWRPT 寄存器。如果在数据包被成功接收前主控制器读取 ERXWRPT，那么返回的数据将不是当前值，而是偏移 MAMXFLN （允许的最大帧长度）＋ 7 位置的数据。并且当主控制器读 ERXWRPT 的其中一个字节时，可能有新数据到达，从而在主控制器尚未读取 ERXWRPT 的另一个字节的情况下更新了指针。 |
|---|---|

当使能接收硬件读 ERXWRPT 寄存器时，必须特别小心，确保配对地读取高低字节。

要确保高低字节匹配：

1. 读 EPKTCNT 寄存器并保存其内容。
2. 读 ERXWRPTL 和 ERXWRPTH。
3. 再次读 EPKTCNT 寄存器。
4. 比较两个数据包的长度。如果不同，返回步骤 2。

在获得硬件写指针后，可以按照例 7-2 计算剩余空间。硬件禁止将写指针移动到 ERXRDPT 指向的地址 （配置缓冲器指针时除外），这样就可以保证缓冲器中始终至少有一个字节未用。示例中的计算公式反映了这一空出的字节。

**例 7-2：** 接收缓冲器空余空间计算方法

```
如果 ERXWRPT > ERXRDPT，那么
        剩余空间 = (ERXND – ERXST) – (ERXWRPT – ERXRDPT)
如果 ERXWRPT = ERXRDPT，那么
        剩余空间 = (ERXND – ERXST)
其他条件下
        剩余空间 = ERXRDPT – ERXWRPT – 1
```

表 7-4： 数据包接收所使用的寄存器汇总

| 寄存器名称 | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 | 复位值所在页 |
|---|---|---|---|---|---|---|---|---|---|
| EIE | INTIE | PKTIE | DMAIE | LINKIE | TXIE | WOLIE | TXERIE | RXERIE | 13 |
| EIR | — | PKTIF | DMAIF | LINKIF | TXIF | WOLIF | TXERIF | RXERIF | 13 |
| ESTAT | INT | r | r | LATECOL | — | RXBUSY | TXABRT | CLKRDY | 13 |
| ECON2 | AUTOINC | PKTDEC | PWRSV | — | VRPS | — | — | — | 13 |
| ECON1 | TXRST | RXRST | DMAST | CSUMEN | TXRTS | RXEN | BSEL1 | BSEL0 | 13 |
| ERXSTL | 接收起始低字节 （ERXST<7:0>） | | | | | | | | 13 |
| ERXSTH | — | — | — | 接收起始高字节 （ERXST<12:8>） | | | | | 13 |
| ERXNDL | 接收结束低字节 （ERXND<7:0>） | | | | | | | | 13 |
| ERXNDH | — | — | — | 接收结束高字节 （ERXND<12:8>） | | | | | 13 |
| ERXRDPTL | 接收读指针低字节 （ERXRDPT<7:0>） | | | | | | | | 13 |
| ERXRDPTH | — | — | — | 接收读指针高字节 （ERXRDPT<12:8>） | | | | | 13 |
| ERXFCON | UCEN | ANDOR | CRCEN | PMEN | MPEN | HTEN | MCEN | BCEN | 14 |
| EPKTCNT | 以太网数据包长度 | | | | | | | | 14 |
| MACON1 | — | — | — | LOOPBK | TXPAUS | RXPAUS | PASSALL | MARXEN | 14 |
| MACON2 | MARST | RNDRST | — | — | MARXRST | RFUNRST | MATXRST | TFUNRST | 14 |
| MACON3 | PADCFG2 | PADCFG1 | PADCFG0 | TXCRCEN | PHDRLEN | HFRMEN | FRMLNEN | FULDPX | 14 |
| MACON4 | — | DEFER | BPEN | NOBKOFF | — | — | LONGPRE | PUREPRE | 14 |
| MAMXFLL | 最大帧长度低字节 （MAMXFL<7:0>） | | | | | | | | 14 |
| MAMXFLH | 最大帧长度高字节 （MAMXFL<15:8>） | | | | | | | | 14 |
| MAPHSUP | r | — | — | r | RSTRMII | — | — | r | 14 |

图注： — = 未用， r = 保留。不使用阴影单元。

## 8.0 接收过滤器

为了能最大限度地降低主控制器的处理工作量，ENC28J60 配备了一些不同的过滤器，能自动拒绝不需要的数据包。共使用了 6 种不同的数据包过滤器：

- 单播
- 格式匹配
- Magic Packet™
- 哈希表
- 组播
- 广播

所有的过滤器都由ERXFCON 寄存器 （寄存器 8-1）进行配置。任何时间均可有一个以上的过滤器同时有效。此外，可以使用 ANDOR 位对几个过滤器的测试结果作逻辑 “与” 或逻辑 “或” 运算。也就是说可以设置为只有当所有过滤器都接受时才接受数据包，或只要有一个过滤器接受就接受数据包。流程图图 8-1 和图 8-2 给出了不同 ANDOR 设置下每个过滤器的作用。

器件可以进入混杂模式 （Promiscuous Mode），通过将ERXFCON寄存器清零而接收所有的数据包。可根据应用要求合理设置该寄存器。

**寄存器 8-1： ERXFCON：接收过滤器控制寄存器**

| R/W-1 | R/W-0 | R/W-1 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-1 |
|---|---|---|---|---|---|---|---|
| UCEN | ANDOR | CRCEN | PMEN | MPEN | HTEN | MCEN | BCEN |
| bit 7 | | | | | | | bit 0 |

bit 7 **UCEN**：单播过滤器使能位
当 ANDOR = 1 时：
1 = 目标地址与本地 MAC 地址不匹配的数据包将被丢弃
0 = 禁止过滤器
当 ANDOR = 0 时：
1 = 目标地址与本地 MAC 地址匹配的数据包会被接受
0 = 禁止过滤器

bit 6 **ANDOR**：AND/OR 过滤器选择位
1 = AND：除非所有使能的过滤器都接受数据包，否则数据包就会被拒绝
0 = OR：除非所有使能的过滤器都拒绝数据包，否则数据包就会被接受

bit 5 **CRCEN**：后过滤器 CRC 校验使能位
1 = 所有 CRC 无效的数据包都将被丢弃
0 = 不考虑 CRC 是否有效

bit 4 **PMEN**：格式匹配过滤器使能位
当 ANDOR = 1 时：
1 = 数据包必须符合格式匹配条件，否则将被丢弃
0 = 禁止过滤器
当 ANDOR = 0 时：
1 = 符合格式匹配条件的数据包将被接受
0 = 禁止过滤器

bit 3 **MPEN**：Magic Packet 过滤器使能位
当 ANDOR = 1 时：
1 = 数据包必须为本地 MAC 地址的 Magic Packet，否则将被丢弃
0 = 禁止过滤器
当 ANDOR = 0 时：
1 = 本地 MAC 地址的 Magic Packet 会被接受
0 = 禁止过滤器

bit 2 **HTEN**：哈希表过滤器使能位
当 ANDOR = 1 时：
1 = 数据包必须符合哈希表条件，否则将被丢弃
0 = 禁止过滤器
当 ANDOR = 0 时：
1 = 符合哈希表条件的数据包将被接受
0 = 禁止过滤器

bit 1 **MCEN**：组播过滤器使能位
当 ANDOR = 1 时：
1 = 数据包目标地址的最低有效位必须置 1，否则数据包将被丢弃
0 = 禁止过滤器
当 ANDOR = 0 时：
1 = 数据包目标地址最低有效位置 1 的数据包会被接受
0 = 禁止过滤器

bit 0 **BCEN**：广播过滤器使能位
当 ANDOR = 1 时：
1 = 数据包目标地址必须为 FF-FF-FF-FF-FF-FF，否则数据包将被丢弃
0 = 禁止过滤器
当 ANDOR = 0 时：
1 = 目标地址为 FF-FF-FF-FF-FF-FF 的数据包将被接受
0 = 禁止过滤器

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

图 **8-1**： 使用逻辑或的过滤流程

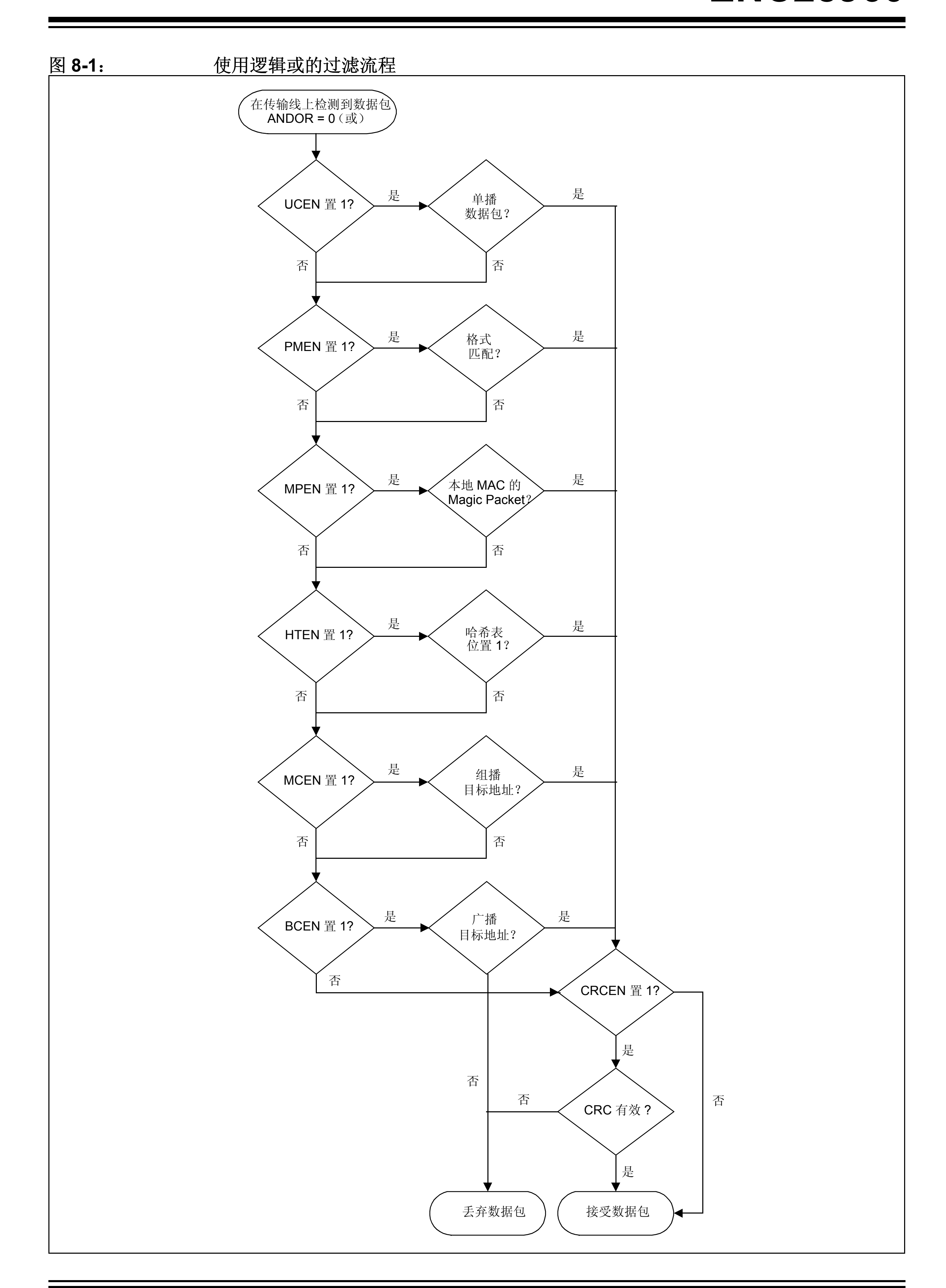
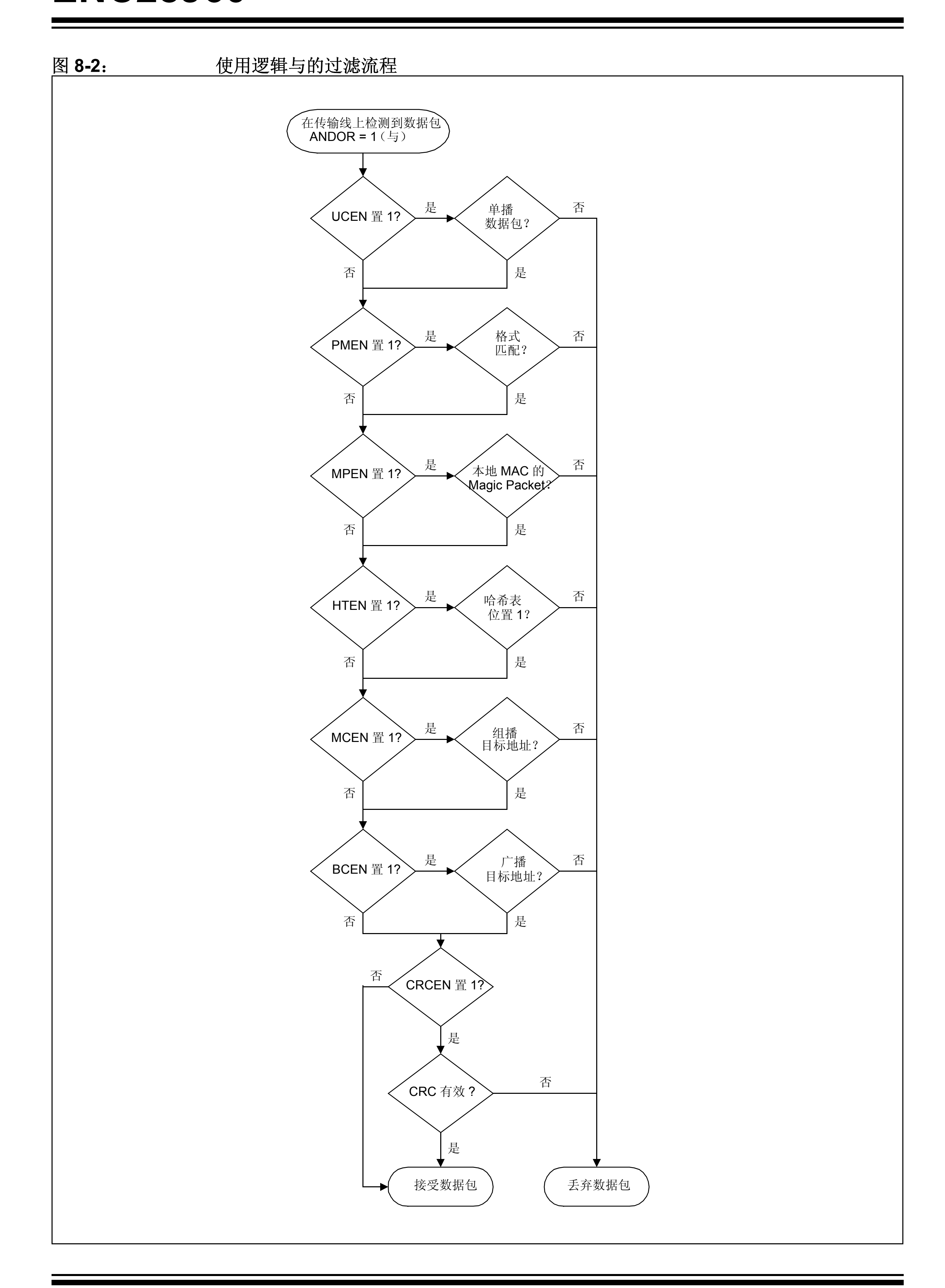


图 8-2： 使用逻辑与的过滤流程




 高级信息 

## 8.1 单播过滤器

单播接收过滤器检查所有传入数据包的目标地址。如果目标地址与 MAADR 寄存器的内容完全匹配，则表示数据包符合单播过滤条件。

## 8.2 格式匹配过滤器

格式匹配过滤器从传入数据包至多选择 64 个字节，计算这些字节的 IP 校验和。然后将校验和与 EPMCS 寄存器的内容作比较。如果两者相匹配，则表示数据包符合格式匹配过滤条件。格式匹配过滤器可用于过滤包内数据已知的数据包。

要使用格式匹配过滤器，主控制器必须对格式匹配偏移量（EPMOH:EPMOL）、所有的格式匹配屏蔽字节（EPMM7:EPMM0）和格式匹配校验和寄存器对（EPMCSH:EPMCSL）进行编程。应向格式匹配偏移量寄存器装入从目标地址字段起始到 64 字节窗口的偏移量，用于计算校验和。通过将格式匹配屏蔽字节寄存器中相应的位置 1 或清零，可以选择将 64 个字节中的某个字节包含在校验和计算过程之中（或排除在外）。如果接收到的数据包连同 CRC 字段的总长小于 64 字节，这样即使屏蔽位全为 `0` 也会立即被过滤掉。应将格式匹配校验和寄存器编程设置为选定字节的校验和。校验和的计算方法与DMA模块计算校验和的方法相同（见**第 13.2 节“校验和计算”**）。屏蔽位被编程为 `0` 的字节会被删除，以免将它们作为数据 `0` 处理。

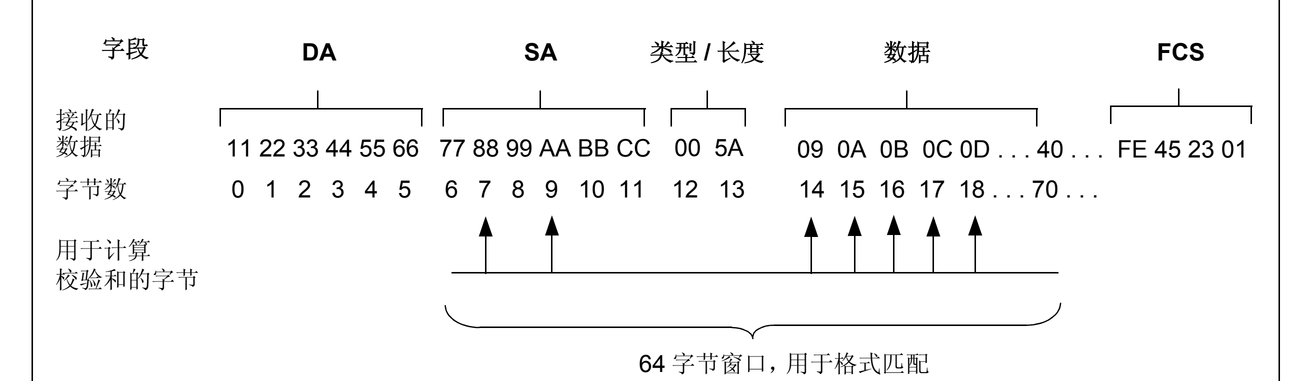
例如，如果应用希望滤入所有源 MAC 地址为 00-04-A3-FF-FF-FF 的数据包，那么可以将格式匹配偏移量编程为 0000h，然后将 EPMM0 的 bit 6、bit 7 以及 EPMM1 的 bit 0、bit 1、bit 2 和 bit 3 置 1（假设其他屏蔽位都是 `0`）。将 EPMCS 寄存器编程为校验和 0x5BFC。还有一种配置，可以将偏移量编程为 0006h，将 EPMM0 的 bit 0、bit 1、bit 2、bit 3、bit 4 和 bit 5 置 1，校验和仍为 5BFCh。虽然同样可以产生正确的校验和，但是，第二种配置不太理想，因为少于 70 字节的数据包永远不符合格式匹配条件。

图 8-3 给出了另一个格式匹配过滤器的示例。

**图 8-3：** 格式匹配示例

**输入配置：**

EMPOH:EPMOL = 0006h
EPPM7:EMPPM0 = 0000000000001F0Ah
EPMCSH:EPMCSL = 563Fh



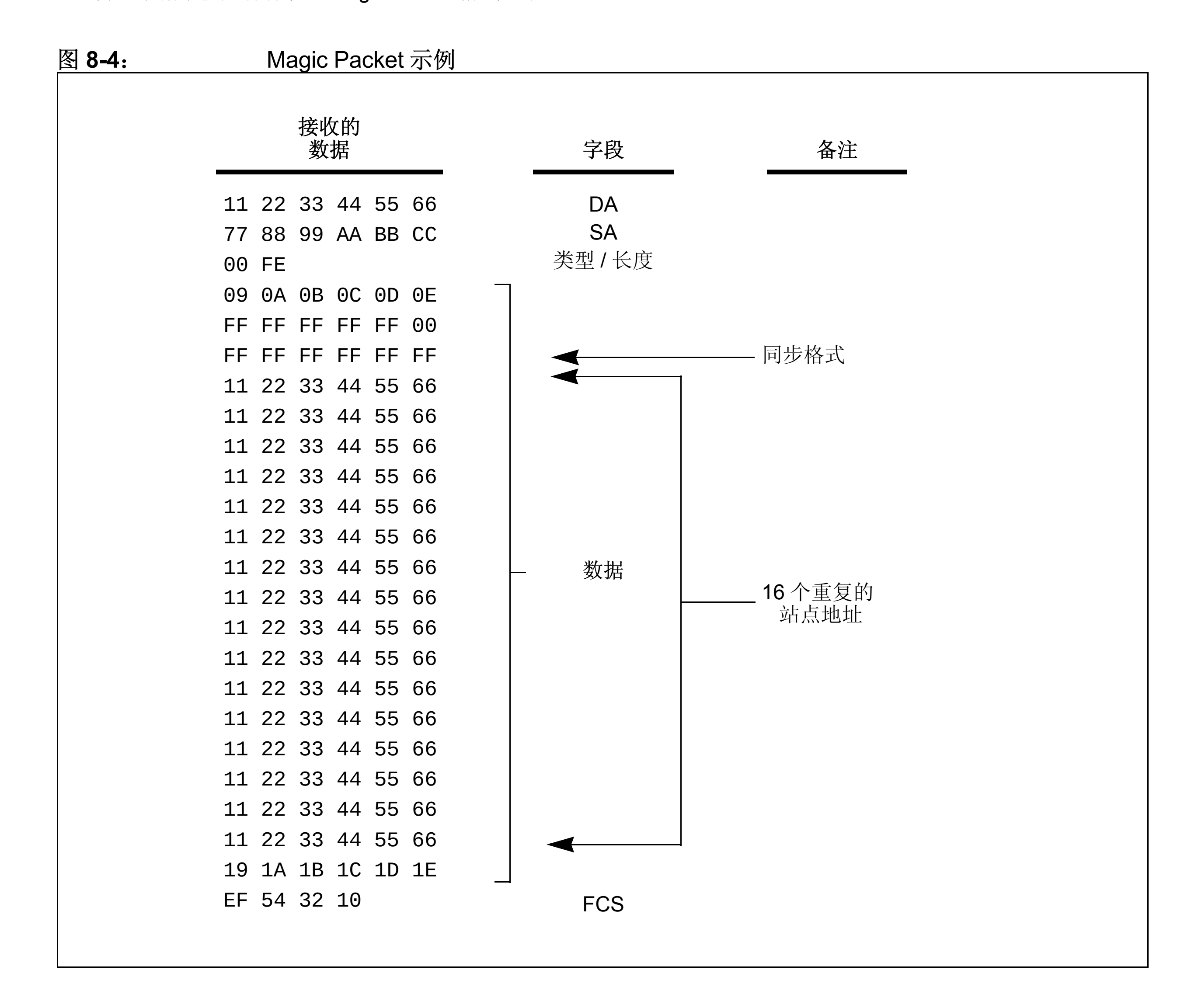

用于计算校验和的值 = {88h, AAh, 09h, 0Ah, 0Bh, 0Ch, 0Dh, 00h}
（00h 填充字节由硬件添加）

**注：** 接收的数据用十六进制表示。字节数用十进制表示。

## 8.3 Magic Packet™ 过滤器

Magic Packet 过滤器检查所有传入数据包的目标地址和数据字段。如果目标地址与 MAADR 寄存器的内容匹配，并且数据字段具有有效的 Magic Packet 格式，那么该数据包就符合 Magic Packet 过滤条件。Magic Packet 格式包含 6 个 0xFF 字节的同步数据，接下来是 16 个重复的目标地址。Magic Packet 示例请参见图 8-4。

**图 8-4：** Magic Packet 示例




## 8.4 哈希表过滤器

哈希表接收过滤器对数据包中的 6 个目标地址字节进行 CRC 校验。然后将 CRC 结果作为指针指向 EHT 寄存器中的某位。如果指针指向的位已置 1，则表示数据包符合哈希表过滤条件。例如，如果计算所得的 CRC 为 0x5，则对哈希表中的 bit 5 进行校验。如果该位置 1，则表示数据包符合哈希表过滤条件。如果哈希表中所有位都清零，则永远不符合过滤条件。同样，如果哈希表中所有位都置 1，则始终符合过滤条件。

## 8.5 组播过滤器

组播接收过滤器检查所有传入数据包的目标地址。如果目标地址第一个字节的最低有效位为 1，则表示数据包符合组播过滤条件。

## 8.6 广播过滤器

广播接收过滤器检查所有传入数据包的目标地址。如果目标地址为 FF-FF-FF-FF-FF-FF，则表示数据包符合广播过滤条件。

 高级信息 

## 9.0 双工模式配置和协商

ENC28J60 不支持双工模式自适应 （auto-negotiation）。如果把ENC28J60连接到使能双工模式自适应的网络交换机或以太网控制器，则它将被检测为半双工器件。要在全双工模式下通信，必须将 ENC28J60 和远程结点（交换机、路由器或以太网控制器）手动地配置为全双工工作模式。

## 9.1 半双工工作方式

当 MACON3.FULDPX = 0 且 PHCON1.PDPXMD = 0 时，ENC28J60 工作在半双工模式下。如果这两个位中仅有一个位被置 1，则 ENC28J60 的工作状态不确定并且不能正常工作。由于在全双工模式与半双工模式之间切换时可能导致这种不确定状态，因此主控制器在这期间不应发送任何数据包 （保持 ECON1.TXRTS 清零） 并且应禁止接收数据包 （将 ECON1.RXEN 和 ESTAT.RXBUSY 清零）。

在半双工模式下，在某一时刻只能有一个以太网控制器通过物理介质发送数据。如果当另一个以太网控制器正在进行发送时，主控制器将 ECON1.TXRTS 位置 1，请求发送一个数据包，则 ENC28J60 将产生延时以等待远程发送停止。在远程发送停止后，ENC28J60 才尝试发送该数据包。如果ENC28J60与另一个以太网控制器几乎同时开始发送，那么正在线上传输的数据将遭到破坏并且将产生冲突。硬件可使用以下两种方式处理这种情况：

1. 如果在发送了 MACLCON2 里的“冲突窗口”指定的字节数之前发生了冲突，ECON1.TXRTS 位将保持置 1，经过一段 IEEE 802.3 规范定义的随机指数 Backoff 延时后，将从头开始重新发送数据包。这一过程无须主控制器的干预。如果尝试重发的次数与在 MACLCON1 中定义的 “最大重发次数”（RETMAX）相等时，将中止数据包的传输并将 ECON1.TXRTS 位清零。然后，主控制器将负责采取相应的措施。通过读 ESTAT.TXABRT 标志位，主控制器可以判断出数据包被中止而没有成功发送。欲知更多信息，请参见**第 7.1 节“发送数据包”**。中止发送将导致产生发送错误中断。
2. 如果在发送了 MACLCON2 里的“冲突窗口”指定的字节数之后发生冲突，则将立即中止数据包发送而不再尝试重发。通常情况下，在符合802.3 规范的网络里，如果配置正确的话，将不会产生该冲突。可能需要用户解决这一问题。当全双工节点尝试在半双工介质上传输数据时就会出现此问题。同样，当 ENC28J60 连接到全双工网络时，尝试工作在半双工模式也会发生同样的问题。过长的电缆和过大的网络也可能导致延迟冲突。

当在半双工模式下时，复位默认配置将使被发送的数据包环回到发送节点。除非接收过滤配置过滤掉这些数据包，否则它们会像正常的数据包一样被写入到循环接收缓冲器。主控制器应将 PHCON2.HDLDIS 位置 1 来避免这种情况。

## 9.2 全双工工作方式

当 MACON3.FULDPX = 1 和 PHCON1.PDPXMD = 1 时，ENC28J60 工作在全双工模式下。如果这两个位中仅有一个位被清零，则 ENC28J60 的工作状态不确定并且不能正常工作。由于在全双工模式与半双工模式之间转换时可能导致这种不确定状态，因此主控制器在这期间不应发送任何数据包 （保持 ECON1.TXRTS 清零） 并且应禁止接收数据包 （将 ECON1.RXEN 和 ESTAT.RXBUSY 清零）。

在全双工模式下，可以同时接收和发送数据包。在这种情况下，当发送数据包时不会发生任何冲突。所以将不会使用一些配置字段，如 MACLCON1 中的“最大重发次数”（RETMAX）和 MACLCON2 中的 “冲突窗口”（COLWIN）。

当在全双工模式下时，复位默认配置不会使被发送的数据包环回到发送节点。如果需要使用环回功能来进行故障诊断，则应由主控制器将 PHCON1.PLOOPBK 位置 1。在全双工模式下使能环回功能将禁止双绞线输出驱动器，并忽略所有输入数据，因此将断开所有连接（如果已建立）。所有由于环回配置而接收到的数据包将经过所有使能的接收过滤器的筛选，这与常规网络通信是一样的。

注：

## 10.0 流量控制

ENC28J60 实现了全双工和半双工通信模式下的硬件流量控制。该功能的工作原理与使用的模式有关。

### 10.1 半双工模式

在半双工模式下，将 EFLOCON.FCEN0 位置 1 使能流量控制。当 FCEN0 置 1 时，由交替的 1 和 0 组成的连续前导信号 （55h）会被自动发送到以太网介质上。任何连接在以太网上的节点均可看到该信号，要么不发送任何数据，等待 ENC28J60 发送完毕；要么尝试发送，从而立即引发冲突。由于这种情况下会频繁发生冲突，因此网络上的节点之间根本无法进行通信。

当主控制器通过将 ECON1.TXRTS 置 1 告知 ENC28J60 发送一个数据包时，前导信号将停止发送。经过一段 MABBIPG 定义的包间间隔延时后， ENC28J60 将尝试发送该数据包。在包间间隔延时期间，其他节点可能已经开始发送数据。因为先前所有的通信都已阻塞，多个节点开始发送后就会造成一系列的冲突。当 ENC28J60 成功完成数据包发送后或中止发送时，将自动重新开始发送前导信号。当主控制器希望结束网络阻塞时，它应将 FCEN0 位清零，从而停止前导信号发送，恢复正常的网络工作。

由于存在对网络潜在的不利影响和缺乏有效性，除非在经过测试的闭合网络中，否则建议不要使用半双工流量控制。

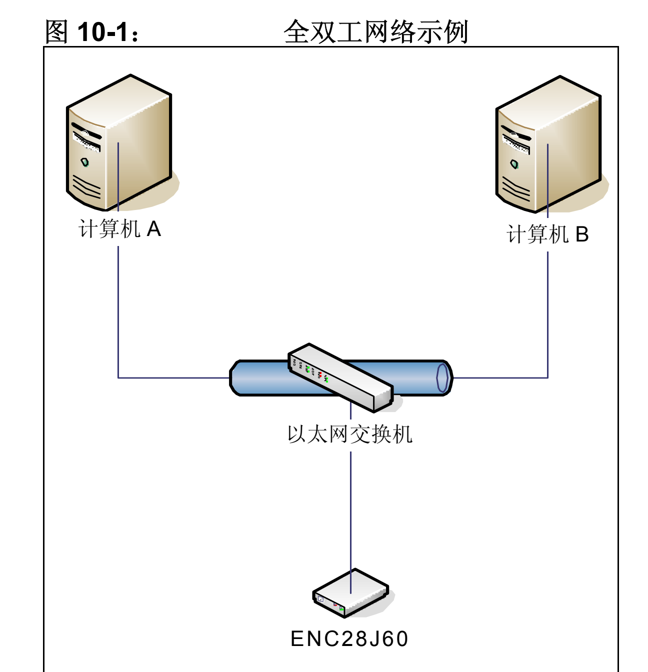
### 10.2 全双工模式

在全双工模式（MACON3.FULDPX = 1）下，硬件流量控制是通过发送暂停控制帧（IEEE 802.3 规范定义）来实现的。暂停控制帧为 64 字节长，由保留的组播目标地址 01-80-C2-00-00-01、发送节点源地址、特殊暂停操作码、两个字节的暂停定时器值以及填充 /CRC 位组成。

通常当 MAC 接收到暂停控制帧时，它将坚持完成正在发送的数据包，然后停止发送任何新帧。暂停定时器值从控制帧中被提取出来，用于初始化内部定时器。该定时器每 512 个比特时间或每 51.2 µs 自动递减一次。在定时器递减计数期间，仍使能数据包接收。如果出现新的暂停帧，则用新的暂停定时器值重新初始化定时器。当定时器递减到零或收到一个暂停定时器值为零的帧时，接收到暂停帧的 MAC 将恢复发送数据包。要防止暂停帧中止整个网络通信，以太网交换机和路由器应停止在全双工模式下传播暂停控制帧。这些暂停操作仅应用于接收节点。

图 10-1 给出了一个网络示例。假设计算机 A 在全双工模式下向 ENC28J60 发送了太多数据，ENC28J60 可以发送一个暂停控制帧来阻止这些数据。以太网交换机接收暂停帧并停止向 ENC28J60 发送数据。如果计算机 A 继续发送数据，以太网交换机将缓冲这些数据，留在暂停定时器超时后继续发送。如果以太网交换机缓冲空间不足，它会向计算机 A 发送自己的暂停控制帧。如果因某些原因，以太网交换机没有生成自身的暂停控制帧，或某个节点没有正确处理其接收到的暂停帧，那么就会丢失数据包。在上述情况下，计算机器 A 和计算机 B 间的通信均不受影响。

**图 10-1：** 全双工网络示例



要使能全双工模式下对 ENC28J60 的流量控制，主控制器必须将 MACON1 寄存器中的 TXPAUS 和 RXPAUS 位置 1。然后在接收缓冲器空间不足时，主控制器应通过向 EFLOCON 寄存器写入 02h 打开流量控制。硬件会周期性地发送暂停帧，其中包含 EPAUS 寄存器中指定的暂停定时器值。主控制器可以继续发送数据包，不会干扰流量控制硬件的操作。

当接收缓冲器空间充足时，主控制器应通过向 EFLOCON 寄存器写入 03h 关闭流量控制。硬件将发送最后一个暂停定时器值为 0000h 的暂停帧。当远程节点接收到该暂停帧时，它将恢复正常的网络操作。

当 MACON1 寄存器中的 RXPAUS 置 1 并接收到一个暂停定时器值为非零的有效暂停帧时， ENC28J60 会自动禁止发送。如果主控制器将 ECON1.TXRTS 置 1 以发送数据包，硬件将一直等待直到暂停定时器超时，然后尝试发送数据包并随后将 TXRTS 位清零。通常主控制始终不会知道已接收了一个暂停帧。但是，如果主控制器想要知道 MAC 启停的时间，应将 MACON1 寄存器中的 PASSALL 位置 1，然后手动分析可能到达的暂停控制帧。

**寄存器 10-1： EFLOCON：以太网流量控制寄存器**

| U-0 | U-0 | U-0 | U-0 | U-0 | R-0 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| — | — | — | — | — | FULDPXS | FCEN1 | FCEN0 |
| bit 7 | | | | | | | bit 0 |

bit 7-3 未用：读为 0

bit 2 **FULDPXS**：只读 MAC 全双工影子位
1 = MAC 被配置为全双工模式 （MACON3.FULDPX 置 1）
0 = MAC 被配置为半双工模式 （MACON3.FULDPX 清零）

bit 1-0 **FCEN1:FCEN0**：流量控制使能位

当 FULDPXS = 1 时：
11 = 发送一个暂停定时器值为 0 的暂停帧，然后关闭流量控制
10 = 打开流量控制 （自动发送暂停帧）
01 = 保留
00 = 关闭流量控制

当 FULDPXS = 0 时：
11 = 打开流量控制
10 = 关闭流量控制
01 = 打开流量控制
00 = 关闭流量控制

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

表 **10-1**： 流量控制使用的寄存器汇总

| 名称 | **Bit 7** | **Bit 6** | **Bit 5** | **Bit 4** | **Bit 3** | **Bit 2** | **Bit 1** | **Bit 0** | 复位值所在页 |
|---|---|---|---|---|---|---|---|---|---|
| ECON1 | TXRST | RXRST | DMAST | CSUMEN | TXRTS | RXEN | BSEL1 | BSEL0 | 13 |
| MACON1 | — | — | — | LOOPBK | TXPAUS | RXPAUS | PASSALL | MARXEN | 14 |
| MABBIPG | — | 背对背传输包间间隔 （BBIPG<6:0>） | | | | | | | 14 |
| EFLOCON | — | — | — | — | — | FULDPXS | FCEN1 | FCEN0 | 14 |
| EPAUSL | 暂停定时器值的低字节 （EPAUS<7:0>） | | | | | | | | 14 |
| EPAUSH | 暂停定时器值的高字节 （EPAUS<15:8>） | | | | | | | | 14 |

图注： — = 未用 （读为 0）。未使用阴影单元。

注：

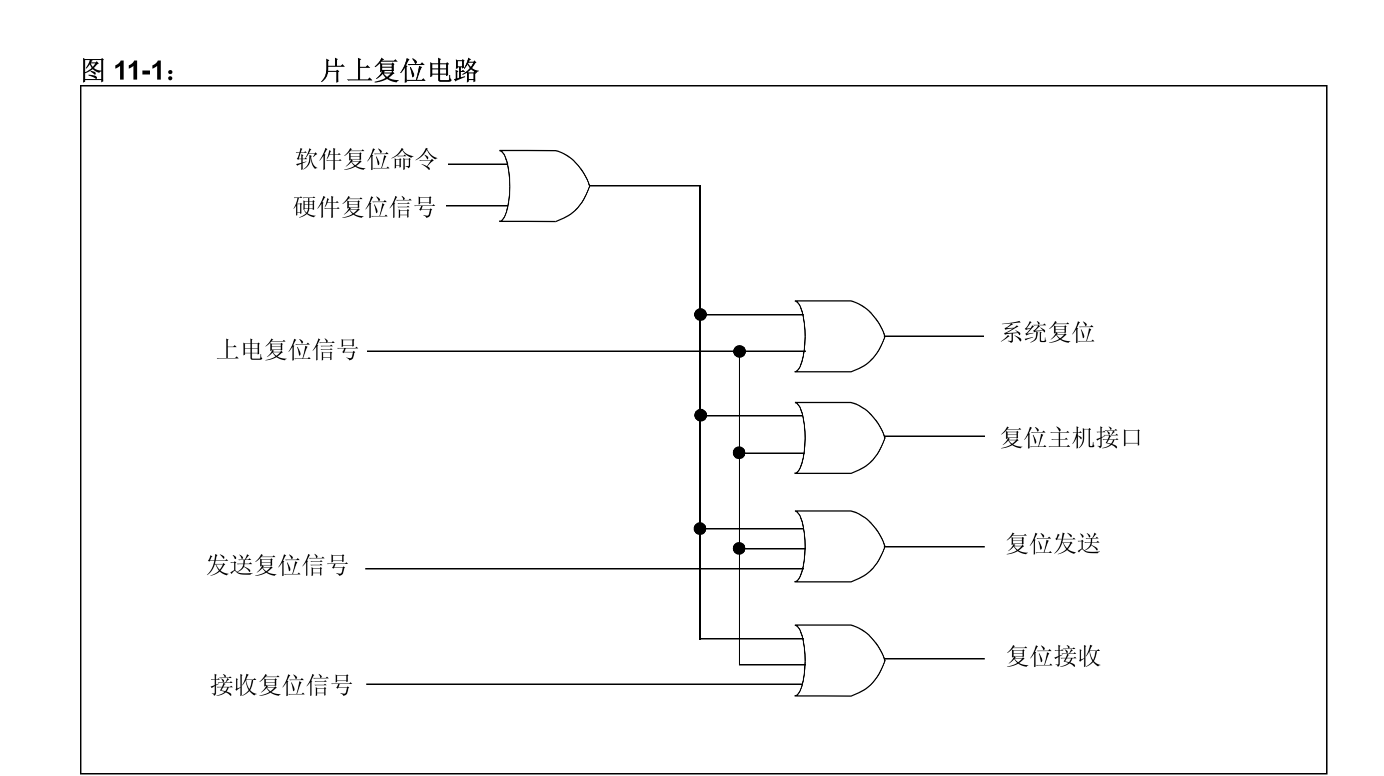
## 11.0 复位

ENC28J60 器件有以下几种不同的复位方式：

- 上电复位 （POR）
- 系统复位
- 仅发送复位
- 仅接收复位
- 各种 MAC 和 PHY 子系统复位

图 11-1 给出了片上复位电路的简化框图。

**图 11-1： 片上复位电路**



## 11.1 上电复位（POR）

一旦 VDD 上升到某个门限值后，就会在片内产生上电复位脉冲。这使得 VDD 上升到足够器件工作时，器件会以初始化状态启动。

POR 电路总是使能的。因此，大部分应用不需要在 RESET 引脚连接任何外部电路以确保上电时的正常复位。在器件正常工作期间， RESET 引脚的内部弱上拉将会使引脚保持逻辑高电平。

为了确保 POR 正常工作， VDD 的最小上升速率已指定（参数 D004）。应用电路必须满足此要求以允许振荡器起振定时器和 CLKOUT 能正确复位。

在上电复位后，双端口缓冲寄存器的内容未知而其他寄存器将装载规定的复位值。在上电复位后，不应立即访问ENC28J60的某些部分。欲知更多信息，请参见**第 2.2 节“振荡器起振定时器”**。

## 11.2 系统复位

ENC28J60 的系统复位可通过 RESET 引脚或 SPI 接口实现。

RESET 引脚提供了从外部异步触发器件复位的方法。将 RESET 引脚拉低产生复位信号。 ENC28J60 在 RESET 通道上有个噪声滤波器，它检测并滤除小的干扰脉冲。当 RESET 引脚处于高电平时， ENC28J60 将正常工作。

通过使用 SPI 系统命令也可将 ENC28J60 复位。请参见**第 4.0 节“串行外设接口（SPI）”**。

任何内部复位（包括通过 SPI 接口使用系统命令的复位）都不能将 RESET 引脚驱动为低电平。

在系统复位结束后至少经过 50 µs 才能对任何 PHY 寄存器执行读写操作。所有的寄存器将恢复到各自的默认复位值。双端口缓冲寄存器在系统复位后状态不变。

## 11.3 仅发送复位

通过 SPI 接口向 ECON1 寄存器的 TXRST 位写入 1 可实现仅发送复位。如果在 TXRST 位置 1 时刚好有数据包在发送，硬件会自动将 TXRTS 位清零并中止发送。该行为只能复位发送逻辑。系统复位会自动执行仅发送复位。其他寄存器和控制模块（如缓冲管理器和主机接口）将不受仅发送复位的影响。主控制器若要恢复正常工作应将 TXRST 位清零。

## 11.4 仅接收复位

通过 SPI 接口向 ECON1 寄存器的 RXRST 位写入 1 可实现仅接收复位。如果在 RXRST 位置 1 时数据包接收是被使能的，硬件会自动将 RXEN 位清零。此时如果正在接收数据包，则操作会被立即中止。该行为只能复位接收逻辑。系统复位会自动执行仅接收复位。其他寄存器和控制模块（如缓冲管理器和主机接口）将不受仅接收复位的影响。主控制器若要恢复正常工作应将 RXRST 位清零。

## 11.5 MAC 和 PHY 子系统复位

通过将 PHCON1 寄存器中的 PRST 位置 1 可将 PHY 模块复位。所有 PHY 寄存器的内容将恢复为各自的默认复位状态。与其他复位不同，在 PRST 置 1 后 PHY 不能立即退出复位状态。在一段延时后，硬件将 PRST 位自动清零。在发送复位命令以后，主控制器应该查询 PRST 位并等到此位清零后才能使用 PHY。系统复位自动执行 PHY 复位。

MAC 子系统一共有 9 种复位方式。MACON2 寄存器中有 6 个复位位：

- MARST
- RNDRST
- MARXRST
- RFUNRST
- MATXRST
- TFUNRST

在 MAPHSUP 寄存器中有两个复位位（RSTINTFC 和 RSTRMII），在 MICON 寄存器中有一个复位位（RSTMII）。将这些位中的任何一个置 1 都将导致 ENC28J60 中的一些部分停止工作。建议将所有这些位保持清零状态。

系统复位自动执行所有子系统复位。然而，系统复位后，全局 MAC 复位位（MARST）保持置 1 状态。主控制器在尝试发送数据包、接收数据包或访问任何 PHY 寄存器前必须先将此位清零。

寄存器 11-1、寄存器 11-2和寄存器 11-3对MAC和PHY的复位位作了详细说明。RSTMII位如寄存器 3-3（第 21 页）所示。

**寄存器 11-1： MACON2：MAC 控制寄存器 2**

| R/W-1 | R/W-0 | U-0 | U-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| MARST | RNDRST | — | — | MARXRST | RFUNRST | MATXRST | TFUNRST |
| bit 7 | | | | | | | bit 0 |

bit 7 **MARST**：MAC 复位位
1 = 整个 MAC 保持复位状态
0 = 正常工作

bit 6 **RNDRST**：MAC 随机数发生器复位位
1 = 用于发送的随机数发生器保持复位状态
0 = 正常工作

bit 5-4 未用：读为 0

bit 3 **MARXRST**：MAC 控制子层 / 接收逻辑复位位
1 = MAC 控制子层和接收逻辑保持复位状态
0 = 正常工作

bit 2 **RFUNRST**：MAC 接收功能复位位
1 = MAC 接收逻辑保持复位状态
0 = 正常工作

bit 1 **MATXRST**：MAC 控制子层 / 发送逻辑复位位
1 = MAC 控制子层和发送逻辑保持复位状态
0 = 正常工作

bit 0 **TFUNRST**：MAC 发送功能复位位
1 = MAC 发送逻辑保持复位状态
0 = 正常工作

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

**寄存器 11-2： MAPHSUP：MAC-PHY 支持寄存器**

| R/W-0 | U-0 | U-0 | R/W-1 | R/W-0 | U-0 | U-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| RSTINTFC | — | — | r | RSTRMII | — | — | r |
| bit 7 | | | | | | | bit 0 |

bit 7 **RSTINTFC**：接口模块复位位
1 = RMII 模块保持复位状态
0 = 正常工作 （如果 RSTRMII 位也清零的话）

bit 6-5 未知：读为 0

bit 4 保留：保持为 1

bit 3 **RSTRMII**：RMII 模块复位位
1 = RMII 模块保持复位状态
0 = 正常工作 （如果 RSTINTFC 位也清零的话）

bit 2-1 未用：读为 0

bit 0 保留：保持为 0

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

**寄存器 11-3： PHCON1：PHY 控制寄存器 1**

| R/W-0 | R/W-0 | U-0 | U-0 | R-1 | R/W-0 | U-0 | R-x |
|---|---|---|---|---|---|---|---|
| PRST | PLOOPBK | — | — | PPWRSV | r | — | PDPXMD[1] |
| bit 15 | | | | | | | bit 8 |

| R/W-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 |
|---|---|---|---|---|---|---|---|
| r | — | — | — | — | — | — | — |
| bit 7 | | | | | | | bit 0 |

bit 15 **PRST**：PHY 软件复位位
1 = PHY 正在进行软件复位 （结束后将自动复位到 0）
0 = 正常工作

bit 14 **PLOOPBK**：PHY 环回位
1 = 所有被发送的数据将返回到 MAC。禁止双绞线接口。
0 = 正常工作

bit 13-12 未用：读为 0

bit 11 **PPWRSV**：PHY 掉电位
1 = PHY 关闭
0 = 正常工作

bit 10 保留：保持为 0

bit 9 未用：读为 0

bit 8 **PDPXMD**：PHY 双工模式位 [1]
1 = PHY 工作在全双工模式
0 = PHY 工作在半双工模式

注 **1**：PDPXMD 的默认复位值取决于 LEDB 引脚上外部连接的 LED 的极性。

bit 7 保留：保持为 0

bit 6-0 未用：读为 0

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

注：

## 12.0 中断

ENC28J60 具有多个中断源和两个独立的中断输出引脚，可以在有事件发生时通知主控制器。主控制器在检测到中断引脚电平的下降沿时触发中断。

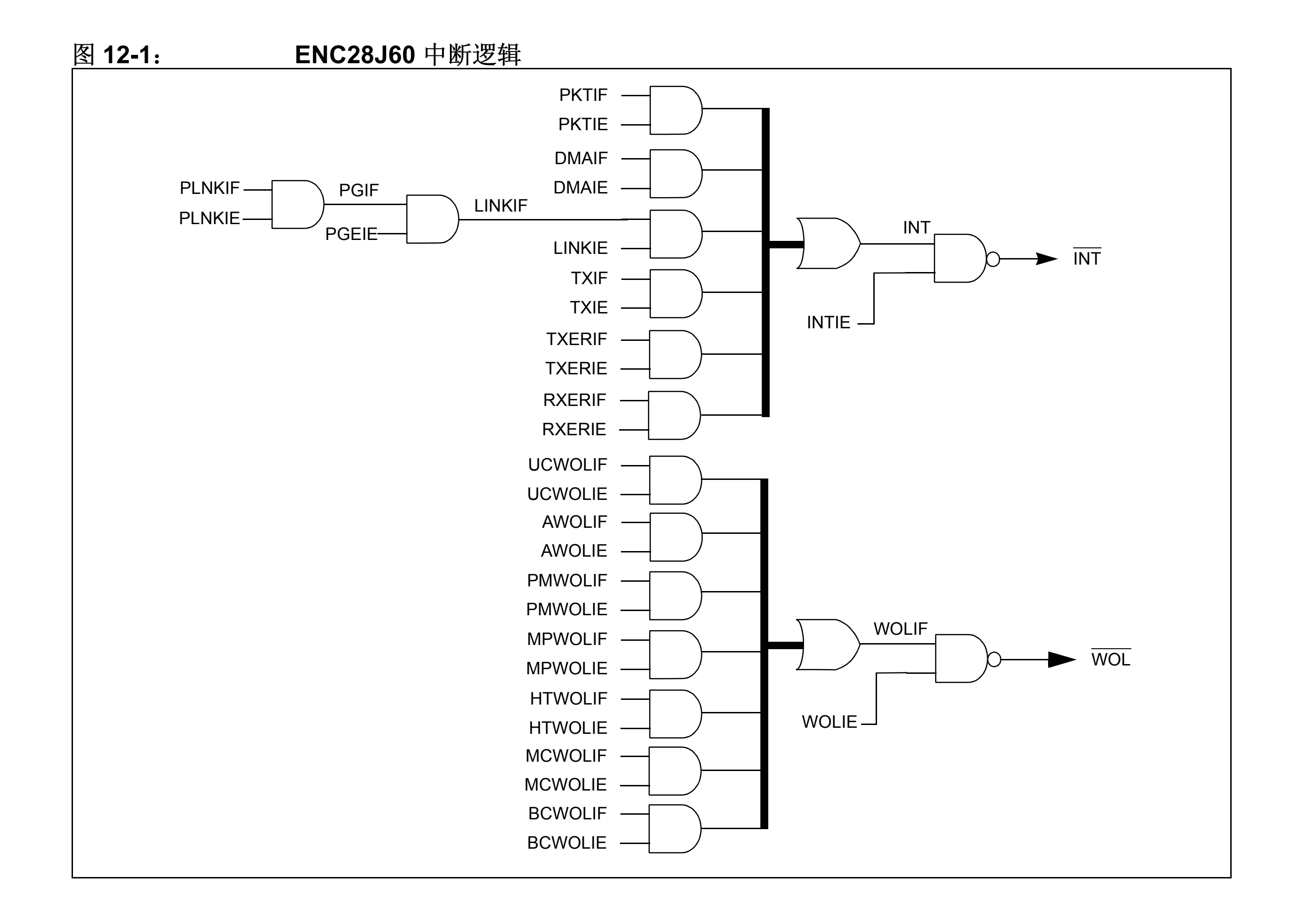
导致中断的原因可分为两类：控制事件 （INT）和 LAN 唤醒（Wake-up on LAN，WOL）事件。EIE 和 EWOLIE 寄存器包含各个中断源的中断允许位，而 EIR 和 EWOLIR 寄存器则包含相应的中断标志位。当某一中断发生时，其中断标志位被置 1。如果 EIE 或 EWOLIE 寄存器允许该中断并且相应的 INTIE 或 WOLIE 全局中断允许位置 1，则相应的 INT 或 WOL 中断引脚将被 ENC28J60 驱动为低电平 （见图 12-1）。

| 注： | 当有中断条件产生时，无论相应的允许位或全局允许位的状态如何，中断标志位都将被置 1 （LINKIF 中断标志位除外）。用户软件应在允许一个中断之前，确保先将相应的中断标志位清零。中断标志位可用于软件查询。 |
|---|---|

当产生一个已被允许的中断时，相应的中断引脚将保持低电平，直到所有引发该中断的标志位被主控制器清零或屏蔽（允许位清零）为止。若允许多个中断源，主控制器必须查询 EIR 或 EWOLIR 寄存器中的每个标志位以确定产生中断的原因。建议使用位域清零 （Bit Field Clear， BFC） SPI 命令而不是正常的写控制寄存器（Write Control Register，WCR）命令将EIR和EWOLIR 寄存器中的标志位复位。这有助于防止在写命令执行期间意外更改已发生改变的标志位。在**第 4.0 节 “串行外设接口 （SPI）”**中详细讨论了 BFC 和 WCR 命令。

产生中断后，主控制器在响应中断前应将全局中断允许位清零。将允许位清零将导致中断引脚返回到非零状态（高电平）。这样做会防止主控制器在响应当前中断时，无法检测到另一个中断引起的（中断引脚）下降沿。在响应中断后，可恢复全局中断允许位。如果在中断处理过程中又发生了另一个中断，再次将全局允许位置 1 会使中断引脚上出现新的下降沿。

**图 12-1： ENC28J60 中断逻辑**



### 12.1 INT 中断允许位 （INTIE）

INT 中断允许位 （INTIE）是全局允许位，它允许下面的中断将 INT 引脚驱动为低电平：

- 接收错误中断 （RXERIF）
- 发送错误中断 （TXERIF）
- 发送中断 （TXIF）
- 连接改变中断 （LINKIF）
- DMA 中断 （DMAIF）
- 接收数据包待处理中断 （PKTIF）

当允许并产生上述中断时，在 ESTAT 寄存器（寄存器 12-1）中的虚拟位 INT 将置 1。如果 EIE.INTIE 位也为 1， INT 引脚将被驱动为低电平。

#### 12.1.1 INT 中断寄存器

在寄存器 12-2、寄存器 12-3、寄存器 12-4 和寄存器 12-5 中显示了与 INT 中断相关的寄存器。

**寄存器 12-1： ESTAT：以太网状态寄存器**

| R-0 | R/C-0 | R-0 | R/C-0 | U-0 | R-0 | R/C-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| INT | r | r | LATECOL | — | RXBUSY | TXABRT | CLKRDY |
| bit 7 | | | | | | | bit 0 |

bit 7 **INT**：INT 中断标志位
1 = INT 中断等待响应
0 = 没有等待响应的 INT 中断

bit 6-5 **保留**：保持为 0

bit 4 **LATECOL**：延迟冲突错误位
1 = 发送完 64 字节后产生冲突
0 = 发送完 64 字节后没有产生冲突

bit 3 未用：读为 0

bit 2 **RXBUSY**：接收忙位
1 = 接收逻辑正在接收数据包
0 = 接收逻辑为空闲状态

bit 1 **TXABRT**：发送中止错误位
1 = 发送请求中止
0 = 无发送中止错误

bit 0 **CLKRDY**：时钟就绪位
1 = OST 超时； PHY 准备就绪
0 = OST 正在计数； PHY 尚未就绪

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | C = 可清零位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | r = 保留位 |

寄存器 12-2： EIE：以太网中断允许寄存器

| R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| INTIE | PKTIE | DMAIE | LINKIE | TXIE | WOLIE | TXERIE | RXERIE |
| bit 7 | | | | | | | bit 0 |

bit 7 **INTIE**：全局 INT 中断允许位
1 = 允许中断事件驱动 INT 引脚
0 = 禁止所有 INT 引脚的活动 （引脚始终被驱动为高电平）

bit 6 **PKTIE**：接收数据包待处理中断允许位
1 = 允许接收数据包待处理中断
0 = 禁止接收数据包待处理中断

bit 5 **DMAIE**：DMA 中断允许位
1 = 允许 DMA 中断
0 = 禁止 DMA 中断

bit 4 **LINKIE**：连接状态改变中断允许位
1 = 允许来自 PHY 的连接改变中断
0 = 禁止连接改变中断

bit 3 **TXIE**：发送允许位
1 = 允许发送中断
0 = 禁止发送中断

bit 2 **WOLIE**：全局 WOL 中断允许位
1 = 允许 WOL 中断事件驱动 WOL 引脚
0 = 禁止所有 WOL 引脚的活动 （引脚始终被驱动为高电平）

bit 1 **TXERIE**：发送错误中断允许位
1 = 允许发送错误中断
0 = 禁止发送错误中断

bit 0 **RXERIE**：接收错误中断允许位
1 = 允许接收错误中断
0 = 禁止接收错误中断

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

**寄存器 12-3： EIR：以太网中断请求 （标志）寄存器**

| U-0 | R-0 | R/C-0 | R-0 | R/C-0 | R-0 | R/C-0 | R/C-0 |
|---|---|---|---|---|---|---|---|
| — | PKTIF | DMAIF | LINKIF | TXIF | WOLIF | TXERIF | RXERIF |
| bit 7 | | | | | | | bit 0 |

bit 7 未用：读为 0

bit 6 **PKTIF**：接收数据包待处理中断标志位
1 = 接收缓冲器包含一个或多个未处理的数据包；当 PKTDEC 置 1 时清零
0 = 接收缓冲器为空

bit 5 **DMAIF**：DMA 中断标志位
1 = DMA 复制或校验和计算已完成
0 = 没有等待响应的 DMA 中断

bit 4 **LINKIF**：连接状态改变中断标志位
1 = PHY 报告连接状态已改变；读取 PHIR 寄存器可清零该位
0 = 连接状态没有改变

bit 3 **TXIF**：发送中断标志位
1 = 发送请求已结束
0 = 没有等待响应的发送中断

bit 2 **WOLIF**：WOL 中断标志位
1 = LAN 唤醒中断等待响应
0 = 没有等待响应的 LAN 唤醒中断

bit 1 **TXERIF**：发送错误中断标志位
1 = 已发生发送错误中断
0 = 未发生发送错误中断

bit 0 **RXERIF**：接收错误中断标志位
1 = 由于没有足够的缓冲空间或数据包数已为 255 而中止接收包
0 = 没有等待响应的接收错误中断

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | C = 可清零位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

### 寄存器 12-4： PHIE：PHY 中断允许寄存器

| R/W-x | R/W-x | R/W-x | R/W-x | R/W-x | R/W-x | R/W-x | R/W-x |
|---|---|---|---|---|---|---|---|
| r | r | r | r | r | r | r | r |
| bit 15 | | | | | | | bit 8 |

| R/W-x | R/W-x | R/W-0 | R/W-0 | R/W-x | R/W-x | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| r | r | r | PLNKIE | r | r | PGEIE | r |
| bit 7 | | | | | | | bit 0 |

bit 15-6 保留：写为 0，读取无效

bit 5 保留：保持为 0

bit 4 **PLNKIE**：PHY 连接状态改变中断允许位
1 = 允许 PHY 连接状态改变中断
0 = 禁止 PHY 连接状态改变中断

bit 3-2 保留：写为 0，读取无效

bit 1 **PGEIE**：PHY 全局中断允许位
1 = 允许 PHY 中断
0 = 禁止 PHY 中断

bit 0 保留：保持为 0

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | r = 保留位 | U = 未用位，读为 0 |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

### 寄存器 12-5： PHIR：PHY 中断请求 （标志）寄存器

| R-x | R-x | R-x | R-x | R-x | R-x | R-x | R-x |
|---|---|---|---|---|---|---|---|
| r | r | r | r | r | r | r | r |
| bit 15 | | | | | | | bit 8 |

| R-x | R-x | R-0 | R/SC-0 | R-0 | R/SC-0 | R-x | R-0 |
|---|---|---|---|---|---|---|---|
| r | r | r | PLNKIF | r | PGIF | r | r |
| bit 7 | | | | | | | bit 0 |

bit 15-5 保留

bit 4 **PLNKIF**：PHY 连接状态改变中断标志位
1 = 上次读取 PHIR 以后 PHY 的连接状态发生了改变；读取时复位为 0
0 = 上次读取 PHIR 以后 PHY 的连接状态没有改变

bit 3 保留

bit 2 **PGIF**：PHY 全局中断标志位
1 = 上次读取 PHIR 以后发生了一个或多个被允许的 PHY 中断；读取时复位为 0
0 = 没有发生 PHY 中断

bit 1-0 保留

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | SC = 自清零位 | U = 未用位，读为 0 | |
| r = 保留位 | 1 = 上电复位时置 1 | 0 = 上电复位时清零 | x = 未知 |

### 12.1.2 接收错误中断标志位 （RXERIF）

接收错误中断标志 （RXERIF）用于指出接收缓冲器溢出的情况。也就是说，此中断表明接收缓冲器中的数据包太多，再接收的话将造成 EPKTCNT 寄存器溢出。

如果接收缓冲器发生溢出或 EPKTCNT 为 255 且不能递增，就将中止正在接收的数据包 （永久丢失）并将 EIR.RXERIF 位置 1。一旦 RXERIF 置 1，它只能由主控制器或复位条件清零。如果允许接收错误中断和 INT 中断 （EIE.RXERIE = 1 且 EIE.INTIE = 1），则会将 INT 引脚驱动为低电平产生中断。如果禁止接收错误中断 （EIE.RXERIE = 0 或 EIE.INTIE = 0），主控制器可以查询 ENC28J60 的 RXERIF 位并采取相应的行为。

通常，当出现接收错误时，主控制器将处理接收缓冲器中待处理的数据包，然后通过将 ERXRDPT 寄存器递增（低字节优先），并将 EPKTCNT 寄存器递减，为接收后面的数据包留出空间。关于处理数据包的更多信息，请参见**第 7.2.4 节 "释放接收缓冲空间"**。一旦响应了接收错误中断，主控制器将使用 BFC 命令将 EIR.RXERIF 位清零。

### 12.1.3 发送错误中断标志位 （TXERIF）

发送错误中断标志 （TXERIF）用于指出是否发生了发送被中止的情况。以下原因可导致发送被中止：

1. 发生了 MACLCON1 寄存器中最大重发次数（RETMAX）位定义的过度冲突。
2. 发生了 MACLCON2 寄存器中冲突窗口（COLWIN）位定义的延迟冲突。
3. 在发送完 64 字节后，发生了冲突（ESTAT.LATECOL 位置 1）。
4. 由于介质被持续占用的时间过长（已达到延迟时限 2.4287 ms），无法进行发送。MACON4.DEFER 位被清零。
5. 在没有将 MACON3.HFRMEN 位或每个数据包的 POVERRIDE 和 PHUGEEN 位置 1 的情况下，试图发送长度大于由 MAMXFL 寄存器定义的最大长度的数据包。

若发生以上任一情况，EIR.TXERIF 标志都将置 1。一旦置 1，它只能由主控制器或复位条件清零。如果发送错误中断被允许（EIE.TXERIE = 1 且 EIE.INTIE = 1），则会通过将 INT 引脚驱动为一个 OSC1 周期的低电平而产生中断。 如果禁止发送错误中断 （EIE.TXERIE = 0 或 EIE.INTIE = 0），主控制器可以查询 ENC28J60 的 TXERIF 并采取相应的动作。一旦响应了中断，主控制器将使用 BFC 命令将 EIR.TXERIF 位清零。

发送被中止后，TXRTS 位被清零、ESTAT.TXABRT 位被置 1 并且发送状态向量被写入 ETXND + 1。MAC 不会自动尝试重发数据包。主控制器可以读取发送状态向量和 LATECOL 位以确定发送被中止的原因。在找出问题和解决方法后，主控制器应将 LATECOL（如果置 1）和 TXABRT 位清零，以便能正确地检测出后续的中止条件。

在全双工模式下，只有第 5 种情况会产生该中断。在全双工网络里不可能发生与共享网络相关的冲突和其他问题。产生发送错误中断的条件符合发送中断的要求。因此，当该中断发生时， TXIF 也被同时置 1。

### 12.1.4 发送中断标志位 （TXIF）

发送中断标志 （TXIF）用于指出被请求的数据包发送已结束 （ECON1.TXRTS 从 1 变为 0）。一旦发送完成、中止或被主控制器取消，都将使 EIR.TXIF 标志置 1。如果主控制器没有将 TXRTS 位清零，并且 ESTAT.TXABRT 位没有置 1，那么表示数据包已被成功发送。一旦 TXIF 位置 1，它只能由主控制器或复位条件清零。如果允许发送中断（EIE.TXIE = 1 且 EIE.INTIE = 1），则会通过将 INT 引脚驱动为低电平而产生中断。如果禁止发送中断（EIE.TXIE = 0 或 EIE.INTIE = 0），主控制器可以查询 ENC28J60 的 TXIF 位并采取相应的动作。一旦响应了发送中断，主控制器将使用 BFC 命令将 EIR.TXIF 位清零。

### 12.1.5 连接状态改变中断标志位（LINKIF）

LINKIF 指出连接状态发生了改变。可以从 PHSTAT1.LLSTAT 或 PHSTAT2.LSTAT 获取连接的当前状态（见寄存器 3-6 和寄存器 3-7）。与其他中断源不同，连接状态改变中断由集成的 PHY 模块产生，必须执行额外的步骤使才能允许该中断。

默认情况下，发生复位时任何原因均不能使 LINKIF 位置 1。主控制器必须将 PHIE.PLNKIE 和 GEIE 位置 1 才能允许 LINKIF 中断。在将这两个 PHY 中断允许位置 1 后，LINKIF 位会覆盖 PHIR.PGIF 位的内容。PHY 仅支持一个中断，因此 PGIF 位的值将总是与 PHIR.PLNKIF 位相同（当 PHY 的两个允许位都置 1 时）。

一旦 LINKIF 置 1，它只能由主控制器或复位清零。如果允许连接状态改变中断（EIE.LINKIE = 1、EIE.INTIE = 1、PHIE.PLNKIE = 1 且 PHIE.PGEIE = 1），将通过将 INT 引脚驱动为低电平而产生中断。如果禁止连接状态改变中断（EIE.LINKIE = 0、EIE.INTIE = 0、PHIE.PLNKIE = 0 或 PHIE.PGEIE = 0），主控制器可以查询 ENC28J60 的 PHIR.PLNKIF 位并采取相应的动作。

LINKIF 位是只读的。由于读取 PHY 寄存器需要一定的时间，因此主控制器只能将 PHIE.PLNKIE 和 PHIE.PGEIE 置 1，然后查询 EIR.LINKIF 位。PHIR 寄存器执行 MII 读取操作将使 LINKIF、PGIF 和 PLNKIF 位自动清零并允许以后的连接状态改变中断。欲知访问 PHY 寄存器的相关信息，请参见**第 3.3 节 "PHY 寄存器"**。

### 12.1.6 DMA 中断标志位（DMAIF）

DMA 中断用于指出 DMA 模块已经完成内存复制或校验和计算（ECON1.DMAST 已从 1 变为 0）。另外，如果主控制器手动将 DMAST 位清零取消 DMA 操作，也将产生此中断。一旦 DMAIF 置 1，它只能由主控制器或复位条件清零。如果允许 DMA 中断（EIE.DMAIE = 1 且 EIE.INTIE = 1），则会通过将 INT 引脚驱动为低电平而产生中断。如果禁止 DMA 中断（EIE.DMAIE = 0 或 EIE.INTIE = 0），主控制器可以查询 ENC28J60 的 DMAIF 位并采取相应的动作。一旦响应了 DMA 中断，主控制器应使用 BFC 命令将 EIR.DMAIF 位清零。

### 12.1.7 接收数据包待处理中断标志位（PKTIF）

接收数据包待处理中断标志（PKTIF）用于指出接收缓冲器中存在一个或多个数据包，并且当有新数据包到达时通知主控制器。接收缓冲器中至少有一个数据包时，EIR.PKTIF 位将被置 1。换句话说，只要以太网数据包计数寄存器（EPKTCNT）非零，此标志位就会被置 1。如果允许接收数据包待处理中断（EIE.PKTIE = 1 且 EIE.INTIE = 1），则只要有新数据包被成功接收并写入接收缓冲器，就会将 INT 引脚驱动为低电平而产生中断。如果禁止接收数据包待处理中断（EIE.PKTIE = 0 或 EIE.INTIE = 0），那么当有新数据包到达时主控制器不会得到通知。但是，主控制器可以查询 PKTIF 位并采取相应的动作。

PKTIF 位只能由主控制器或复位条件清零。为了将 PKTIF 清零，EPKTCNT 寄存器必须递减到 0。有关将 EPKTCNT 寄存器清零的更多信息，请参见**第 7.2 节 "接收数据包"**。如果接收缓冲器中最后一个数据包被处理完毕，则 EPKTCNT 将变为零且 PKTIF 位将被自动清零。

## 12.2 LAN 唤醒中断（WOLIE/WOLIF）

WOL 中断用于唤醒主控制器。WOL 中断是一个多源中断，它控制 WOL 中断引脚。WOL 中断不受 EIE.INTIE 配置的影响。

共有七种不同的条件可以产生此中断。EWOLIE 位用于允许单独的中断条件。若将多个位置 1，任何一个被允许的条件都可产生 WOL 中断。但是，需要在接收过滤逻辑后应用 WOL 逻辑。因此，任何由于接收过滤配置（见**第 8.0 节 "接收过滤器"**）而被拒绝的包将不能产生 WOL 中断。

当检测到 7 个 WOL 条件中的任何一个时，EWOLIR 寄存器中相关的中断标志位将被置 1。如果 EWOLIE 中对应的中断允许位被置 1，那么 EIR.WOLIF 位也将置 1。如果全局 WOL 中断允许位 （EIR.WOLIF）被置 1，则会通过将 WOL 引脚驱动为低电平而产生中断。如果禁止全局 WOL 中断（EIE.WOLIE = 0 或 EWOLIE 中相关的位 = 0），则主控制器可以查询 EWOLIR 寄存器并在所需的标志位置 1 时采取相应的动作。通常，一旦收到 WOLIF 中断，主控制器就将退出休眠状态并检测 EWOLIR寄存器以确定实际的中断源。根据应用的不同要求，主控制器可以禁止以后的 WOLIF 中断或允许该中断并回到休眠状态。一旦响应了该中断，主控制器应使用 BFC 命令将 EIR.WOLIF 位和相关的 EWOLIR 位清零。

| 注： | 当使用 WOL 中断时，应该注意避免在没有唤醒主控制器的情况下写满接收缓冲器。如果接收缓冲器已满，且不符合任何 WOL 条件，后续数据包将被中止。被中止的数据包即使符合配置条件也不能产生WOL中断。因此，将永远不会产生 WOL 中断。 |
|---|---|

### 12.2.1 WOL 中断寄存器

在寄存器 12-6 和寄存器 12-7 中显示了与 WOL 中断相关的寄存器。当产生中断条件时，不管相应中断允许位的状态如何，中断标志将置 1。中断标志位可用于软件查询。

**寄存器 12-6： EWOLIE：以太网 LAN 唤醒中断允许寄存器**

| R/W-0 | R/W-0 | U-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| UCWOLIE | AWOLIE | — | PMWOLIE | MPWOLIE | HTWOLIE | MCWOLIE | BCWOLIE |
| bit 7 | | | | | | | bit 0 |

bit 7 **UCWOLIE**：单播 LAN 唤醒中断允许位
1 = 允许单播 LAN 唤醒中断
0 = 禁止单播 LAN 唤醒中断

bit 6 **AWOLIE**：任何数据包 LAN 唤醒中断允许位
1 = 允许任何数据包 LAN 唤醒中断
0 = 禁止任何数据包 LAN 唤醒中断

bit 5 未用：读为 0

bit 4 **PMWOLIE**：格式匹配 LAN 唤醒中断允许位
1 = 允许格式匹配 LAN 唤醒中断
0 = 禁止格式匹配 LAN 唤醒中断

bit 3 **MPWOLIE**：Magic Packet LAN 唤醒中断允许位
1 = 允许 Magic Packet LAN 唤醒中断
0 = 禁止 Magic Packet LAN 唤醒中断

bit 2 **HTWOLIE**：哈希表 LAN 唤醒中断允许位
1 = 允许哈希表 LAN 唤醒中断
0 = 禁止哈希表 LAN 唤醒中断

bit 1 **MCWOLIE**：组播数据包 LAN 唤醒中断允许位
1 = 允许组播数据包 LAN 唤醒中断
0 = 禁止组播数据包 LAN 唤醒中断

bit 0 **BCWOLIE**：广播数据包 LAN 唤醒中断允许位
1 = 允许广播数据包 LAN 唤醒中断
0 = 禁止广播数据包 LAN 唤醒中断

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

**寄存器 12-7： EWOLIR：以太网 LAN 唤醒中断请求 （标志）寄存器**

| R/C-0 | R/C-0 | U-0 | R/C-0 | R/C-0 | R/C-0 | R/C-0 | R/C-0 |
|---|---|---|---|---|---|---|---|
| UCWOLIF | AWOLIF | — | PMWOLIF | MPWOLIF | HTWOLIF | MCWOLIF | BCWOLIF |
| bit 7 | | | | | | | bit 0 |

bit 7 **UCWOLIF**：单播 LAN 唤醒中断标志位
1 = 接收到了目标地址与本地 MAC 地址匹配的数据包
0 = 没有接收到与本地 MAC 地址匹配的单播数据包

bit 6 **AWOLIF**：任何数据包 LAN 唤醒中断标志位
1 = 接收到一个数据包
0 = 没有接收到数据包

bit 5 未用：读为 0

bit 4 **PMWOLIF**：格式匹配 LAN 唤醒中断标志位
1 = 接收到了符合格式匹配过滤条件的数据包
0 = 没有接收到符合格式匹配过滤条件的数据包

bit 3 **MPWOLIF**：Magic Packet LAN 唤醒中断标志位
1 = 接收到具有本地 MAC 地址的 Magic Packet
0 = 没有接收到具有本地 MAC 地址的 Magic Packet

bit 2 **HTWOLIF**：哈希表 LAN 唤醒中断标志位
1 = 接收到符合哈希表过滤条件的数据包
0 = 没有接收到符合哈希表过滤条件的数据包

bit 1 **MCWOLIF**：组播数据包 LAN 唤醒中断标志位
1 = 接收到具有组播目标地址的数据包
0 = 没有接收到具有组播目标地址的数据包

bit 0 **BCWOLIF**：广播数据包 LAN 唤醒中断标志位
1 = 接收到目标地址为 FF-FF-FF-FF-FF-FF 的数据包
0 = 没有接收到具有广播目标地址的数据包

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | C = 可清零位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

注：

## 13.0 直接存储器访问控制器

ENC28J60 包含一个双功能 DMA 控制器，此控制器可用于在 8 KB 存储缓冲器的单元间复制数据。它也可用于计算符合各种行业标准协议（包括 TCP 和 IP）的 16 位校验和。

当 DMA 操作开始时，EDMAST 寄存器对的内容被复制给一个内部源指针。DMA每次访问一个字节，然后使内部源指针加 1。但是如果处理完一个字节时内部源指针地址等于接收缓冲区尾指针地址 ERXND，则源指针将不会再递增，而是被装入接收缓冲区的首指针地址 ERXST。在这种方式下， DMA 将遵照接收缓冲器的循环 FIFO 结构，并一次性地对接收到的数据包进行处理。当内部源指针与 EDMAND 指针相匹配时，DMA 操作结束。

当进行任何 DMA 操作时，不要更改 DMA 指针和 ECON1.CSUMEN 位。任何时间可通过将 ECON1.DMAST 位清零来取消 DMA 操作。所有寄存器都不会改变；但是，如果执行的是 DMA 复制，可能已经复制了一些存储器字节。

| 注 | **1：** 如果由于接收缓冲器的折回行为，源指针无法到达 EDMAND 指针处，则 DMA 操作永远不会结束。<br><br>**2：** 设计规定， DMA 模块不能用于只复制一个字节 （EDMAST = EDMAND）。如果试图这样做，缓冲区中所有单元将被覆盖且永远不会终止。 |
|---|---|

## 13.1 复制内存

要复制缓冲器中的存储区：

1. 对 EDMAST、EDMAND 和 EDMADST 寄存器对进行适当的编程。EDMAST 寄存器应该指向要复制的第一个字节， EDMAND 寄存器应该指向要复制的最后一个字节，并且 EDMADST 寄存器应该指向目标区域的第一个字节。目标区域总是线性的，除非在到达 8191 单元后会返回 0 单元外（8 KB 存储器边界），它在任何地方都不会发生折回。当对起始和结束指针进行编程时，应特别小心防止出现覆盖整个 8 KB 缓冲区的永不结束的 DMA 操作。
2. 如果希望在复制操作结束时产生中断，请将 EIE.DMAIE 位和 EIE.INTIE 位置 1 并将 EIR.DMAIF 位清零。
3. 验证 ECON1.CSUMEN 是否为清零状态。
4. 将 ECON1.DMAST 置 1 开始 DMA 复制。

如果当 DMAST 置 1 时正在进行发送操作 （TXRTS 置 1）， ENC28J60 将等待发送操作完成后再尝试进行 DMA 复制。因为 DMA 和发送引擎共用同一个存储器访问端口，所以需要这段延时。

当复制完成时，DMA 硬件会将 DMAST 位清零、DMAIF 位置 1 并产生中断 （如果允许） 。不会更改指针和 EDMACS 寄存器值。

在初始化 DMA 模块并开始复制操作后，复制每个字节需要两个主时钟周期。因此，如果复制 1518 字节 （最大长度）的数据包，DMA 模块将需要 121.44 µs 多一点的时间来完成复制。复制 64 字节 （最小长度）的数据包所需的时间将由配置 DMA 的时间决定。

## 13.2 校验和计算

校验和计算逻辑将源数据视作一组 16 位大尾格式整数。如果源数据的字节数为奇数，为了计算校验和就要在数据后追加一个 00h 的填充字节。计算的校验和是所有 16 位整数补码和的补码。例如，如果用于计算校验和的字节为 {89h, ABh, CDh}，则计算校验和的过程从计算 89ABh + CD00h 开始。示例中第 16 位会发生进位，在 16 位整数的补码和运算中，该进位会被加回到第一位。最后对加法运算得到的结果 56ACh 取补，得到校验和 A953h。

要计算校验和：

1. 对 EDMAST 和 EDMAND 寄存器对进行编程，使它们分别指向用于计算校验和的缓冲数据的第一个和最后一个字节。当对这两个指针进行编程时，要特别小心防止由于接收缓冲器折回而导致校验和计算永远无法结束。
2. 要在校验和计算完毕后产生中断，应将 EIR.DMAIF 位清零并将 EIE.DMAIE 位和 EIE.INTIE 位置 1。
3. 将 ECON1.CSUMEN 位和 ECON1.DMAST 位置 1 开始计算。

当校验和计算完成时，硬件会将 DMAST 位清零、将 DMAIF 位置 1 并产生中断（如果允许）。不会更改 DMA 指针，并且不会写入任何存储区。计算得到的校验和将被保存到 EDMACSH 和 EDMACSL 寄存器中。主控制器可以将该值写入数据包，并将它与接收到的校验和作比较或将它用于其他场合。

在各种协议（如 TCP 和 IP）中，校验和会被放在一组数据的校验和字段里。如果接收到一个这样的数据包，并且主控制器需要验证校验和，就应执行以下操作：

1. 从数据包中读取校验和，并将它保存到一个临时存储单元。
2. 将 0 写入校验和字段。
3. 使用 DMA 控制器计算一个新的校验和。
4. 将计算结果与步骤 1 中保存的校验和作比较。

当通过指针 ERXRDPT 对地址单元进行写保护时，允许对接收缓冲器执行写操作。欲知更多信息，请参见**第 7.2 节 “接收数据包”**。

IP 校验和具有唯一的数学属性，能在某些情形下进一步减少处理工作量。在一些应用中，可能没有必要写入接收缓冲器。

当 DMA 运行在校验和模式下时，处理校验和中的每个字节都需要一个主时钟周期。因此，如果计算超过1446 字节的校验和， DMA 模块将需要略大于 57.84 µs 才能完成此运算。

**表 13-1： 与 DMA 控制器相关的寄存器汇总**

| 寄存器名称 | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 | 复位值所在页 |
|---|---|---|---|---|---|---|---|---|---|
| EIE | INTIE | PKTIE | DMAIE | LINKIE | TXIE | WOLIE | TXERIE | RXERIE | 13 |
| EIR | — | PKTIF | DMAIF | LINKIF | TXIF | WOLIF | TXERIF | RXERIF | 13 |
| ECON1 | TXRST | RXRST | DMAST | CSUMEN | TXRTS | RXEN | BSEL1 | BSEL0 | 13 |
| ERXNDL | 接收结束低字节 （ERXND<7:0>） | | | | | | | | 13 |
| ERXNDH | — | — | — | 接收结束高字节 （ERXND<12:8>） | | | | | 13 |
| EDMASTL | DMA 起始低字节 （EDMAST<7:0>） | | | | | | | | 13 |
| EDMASTH | — | — | — | DMA 起始高字节 （EDMAST<12:8>） | | | | | 13 |
| EDMANDL | DMA 结束低字节 （EDMAND<7:0>） | | | | | | | | 13 |
| EDMANDH | — | — | — | DMA 结束高字节 （EDMAND<12:8>） | | | | | 13 |
| EDMADSTL | DMA 目标地址低字节 （EDMADST<7:0>） | | | | | | | | 13 |
| EDMADSTH | — | — | — | DMA 目标地址高字节 （EDMADST<12:8>） | | | | | 13 |
| EDMACSL | DMA 校验和低字节 （EDMACS<7:0>） | | | | | | | | 13 |
| EDMACSH | DMA 校验和高字节 （EDMACS<15:8>） | | | | | | | | 13 |

图注： — = 未用 （读为 0）。 DMA 控制器不使用阴影单元。



高级信息

## 14.0 掉电

可通过 SPI 接口对 ENC28J60 执行掉电命令。掉电时，它不能再发送和接收任何数据包。

要最大程度地节约功耗：

1. 通过将 ECON1.RXEN 位清零禁止数据包接收。
2. 通过查询 ESTAT.RXBUSY 位等待任何正在接收的数据包接收完毕。在进行下一步之前，此位应处于清零状态。
3. 通过确认 ECON1.TXRTS 位是否清零，判断当前发送操作是否结束。
4. 将 ECON2.VRPS 位置 1 （如果没有置 1）。
5. 将 ECON2.PWRSV 位置 1 进入休眠模式。进入休眠模式后所有的 MAC、 MII 和 PHY 寄存器均不可访问。将 PWRSV 位置 1 也会自动将 ESTAT.CLKRDY 位清零。

在休眠模式，所有寄存器和缓冲存储器的状态保持不变。主控制器仍可访问 ETH 寄存器和缓冲存储器。此外，时钟驱动器将继续工作。CLKOUT 功能不受影响（见第 **2.3 节 "CLKOUT 引脚"**）。

当需要恢复正常工作时，主控制器的执行步骤有一些微小改动：

1. 通过清零 ECON2.PWRSV 位唤醒主控制器。
2. 至少等待 300 µs 以使 PHY 稳定。要判断延时何时可以结束，主控制器可以查询 ESTAT.CLKRDY 位并等待它置 1。
3. 通过将 ECON1.RXEN 位置 1 恢复接收功能。

当退出休眠模式后，在建立新连接之前，会有几毫秒的延时 （假设存在一个合适的连接对象）。主控制器需要等待连接建立才能尝试发送数据包。通过查询 PHSTAT2.LSTAT 位可确定连接状态。也可以使用连接状态改变中断 （如果已允许） 。更多详情请参见第 **12.1.5 节 "连接状态改变中断标志位（LINKIF）"**。

**表 14-1：** 掉电使用的寄存器汇总

| 名称 | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 | 复位值所在页 |
|---|---|---|---|---|---|---|---|---|---|
| ESTAT | INT | r | r | LATECOL | — | RXBUSY | TXABRT | CLKRDY | 13 |
| ECON2 | AUTOINC | PKTDEC | PWRSV | — | VRPS | — | — | — | 13 |
| ECON1 | TXRST | RXRST | DMAST | CSUMEN | TXRTS | RXEN | BSEL1 | BSEL0 | 13 |

图注： — = 未用 （读为 0）， r = 保留。掉电操作不使用阴影单元。

注：

## 15.0 内置自测试控制器

ENC28J60 拥有一个内置自测试（Built-in Self-Test，BIST）模块，该模块用于确认 8KB 存储缓冲器中的每一位是否正常工作。虽然该模块主要用于制造测试，但用户进行诊断时仍可使用它。该控制器对缓冲存储器的所有单元执行写操作，并与普通以太网操作共享部分硬件。因此，只有在复位时或释放了必需的硬件之后才可以使用 BIST。当使用 BIST 时，ECON1 寄存器的 DMAST、 RXEN 和 TXRTS 位应该都清零。

通过以下四个寄存器对 BIST 控制器进行操作：

- EBSTCON 寄存器 （控制和状态寄存器）
- EBSTSD 寄存器 （填充种子 / 初始移位值）
- EBSTCSH 和 EBSTCSL 寄存器 （生成的校验和的高字节和低字节）

EBSTCON 寄存器 （寄存器 15-1）控制模块的所有操作，包括选择测试模式和启动自测试过程。存储器测试的位模式由 EBSTSD 种子寄存器提供。根据测试模式，该寄存器的内容可被直接使用或者作为伪随机数发生器的种子使用。

**寄存器 15-1： EBSTCON：自测试控制寄存器**

| R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
|---|---|---|---|---|---|---|---|
| PSV2 | PSV1 | PSV0 | PSEL | TMSEL1 | TMSEL0 | TME | BISTST |
| bit 7 | | | | | | | bit 0 |

bit 7-5 **PSV2:PSV0**：模式移位值位
当 TMSEL = 10 时：
对每个存储器单元进行写操作后， EBSTSD 中的位将被左移指定的位数。
当 TMSEL = 00、 01 或 11 时：
可被忽略。

bit 4 **PSEL**：端口选择位
1 = 访问存储器时， DMA 和 BIST 模块将交换端口
0 = 正常配置

bit 3-2 **TMSEL1:TMSEL0**：测试模式选择位
11 = 带随机数据填充的竞争模式
10 = 模式移位填充
01 = 地址填充
00 = 随机数据填充

bit 1 **TME**：测试模式使能位
1 = 使能测试模式
0 = 禁止测试模式

bit 0 **BISTST**：内置自测试启动 / 忙位
1 = 正在进行测试；当测试完成后自动清零该位
0 = 未运行任何测试

| 图注： | | | |
|---|---|---|---|
| R = 可读位 | W = 可写位 | U = 未用位，读为 0 | |
| -n = 上电复位时的值 | 1 = 置 1 | 0 = 清零 | x = 未知 |

## 15.1 使用 BIST

当启动 BIST 控制器时，它将用当前测试配置生成的数据填充整个缓冲器，在写该数据时还将计算其校验和。当完成 BIST 时，用该校验和更新 EBSTCS 寄存器。通过使用 DMA 模块计算所有存储器的校验和，主控制器能够判断测试是通过还是失败。由 DMA 生成的校验和应该与 BIST 校验和相匹配。如果在正确地执行了测试之后两个校验和不同，则可能发生了硬件故障。

BIST 控制器支持四种不同的操作：

- 随机数据填充
- 带竞争的随机数据填充
- 地址填充
- 模式移位填充

对于四种测试模式的任何一种而言，BIST 和 DMA 模块访问双端口 SRAM 所用的端口可以交换，以确保两个端口具有正常的读 / 写功能。

要使用 BIST：

1. 将 EDMAST 寄存器对编程为 0000h。
2. 将EDMAND和ERXND寄存器对编程为1FFFh。
3. 通过将 ECON1 中的 CSUMEN 位置 1 配置 DMA 生成校验和。
4. 将种子 / 初始移位值字节写入 EBSTSD 寄存器（如果使用地址填充模式，则此操作不是必需的）。
5. 使能测试模式、选择所需的测试模式以及为测试选择合适的端口配置。
6. 通过将 EBSTCON.BISTST 位置 1 启动 BIST。
7. 如果不使用带竞争的随机数据填充模式，则通过将 ECON1 中的 DMAST 位置 1 来启动 DMA 校验和计算。DMA 控制器读存储器的速率与 BIST 控制器写该存储器的速率相同，所以可以在启动 BIST 之后的任何时刻启动 DMA。
8. 通过查询 DMAST 位或接收 DMA 中断 （如果允许）等待 DMA 完成操作。
9. 将 EDMACS 寄存器与 EBSTCS 寄存器作比较。

要确保完全测试，应该在更改端口选择位 PSEL 之后重新执行该测试。当不使用地址填充模式时，可以用不同的种子值来进行更多测试，以确保存储器工作正常。

在测试期间，可以通过将 BISTST、DMAST 和 TME 位清零来取消测试。当 BIST 填充存储器时，不应该访问 EBSTSD 寄存器，也不应该更改任何配置。当 BIST 完成了存储器填充和校验和生成后， BISTST 位将被自动清零。

BIST 模块需要一个主时钟周期来把每个字节写入 RAM。DMA 模块需要同样多的时间来计算校验和，但是可以在启动BIST之后立即启动DMA计算校验和。因此，执行一次测试所需的最小时间略大于 327.68 µs。

## 15.2 随机数据填充模式

在随机数据填充模式下，BIST控制器将把伪随机数据写入缓冲器。随机数据由线性反馈移位寄存器 （LFSR）生成。该随机数发生器将 EBSTSD 寄存器的初始内容作为种子，当 BIST 完成时，该寄存器将有新的内容。

根据 LFSR 实现机制，初始种子为 0 时将生成使用连续的 0 进行填充的模式。因此，使用非零种子值会执行更广泛的存储器测试。在两个独立的试验中选择同一个种子可以实现对同一个测试的重复。

## 15.3 带竞争的随机数据填充模式

在带竞争的随机数据填充模式下，当主控制器将BISTST 位置 1 后，硬件会立即自动将 DMAST 位置 1，除此之外，该模式与随机数据填充模式相同。因此，可以测试背对背存储器访问。

## 15.4 地址填充模式

在地址填充模式下，BIST控制器会把每个存储器地址的低字节写入相关的缓冲器单元。例如，当进行了 BIST 操作后，0000h 单元的内容应该是 00h，0001h 单元的内容应该是 01h，0E2Ah 单元的内容应该是 2Ah 等。当使用这一固定的存储器填充模式时，BIST 和 DMA 模块应该总是生成校验和 F807h。主控制器可以使用地址填充模式来确认 BIST 和 DMA 模块本身是否工作正常。

## 15.5 模式移位填充模式

在模式移位填充模式下，BIST 控制器会将 EBSTSD 的值写入存储单元 0000h。在写入单元 0001h 前，BIST 控制器会将 EBSTSD 的内容左移，左移的位数由 EBSTCON 中的 PSV2:PSV0 位指定。EBSTSD 中被移出的位（从 EBSTSD 的最高位开始）将折回到最低位。对每个新地址重复此移位操作。对数据进行移位可以将棋盘图 （checkerboard pattern）写入缓冲存储器以确保访问同时邻近的存储单元之间不会互相影响。

表 **15-1**： 与自测试控制器相关的寄存器汇总

| 名称 | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 | 复位值所在页 |
|---|---|---|---|---|---|---|---|---|---|
| ECON1 | TXRST | RXRST | DMAST | CSUMEN | TXRTS | RXEN | BSEL1 | BSEL0 | 13 |
| ERXNDL | 接收结束低字节 （ERXND<7:0>） | | | | | | | | 13 |
| ERXNDH | — | — | — | 接收结束高字节 （ERXND<12:8>） | | | | | 13 |
| EDMASTL | DMA 起始低字节 （EDMAST<7:0>） | | | | | | | | 13 |
| EDMASTH | — | — | — | DMA 起始高字节 （EDMAST<12:8>） | | | | | 13 |
| EDMANDL | DMA 结束低字节 （EDMAND<7:0>） | | | | | | | | 13 |
| EDMANDH | — | — | — | DMA 结束高字节 （EDMAND<12:8>） | | | | | 13 |
| EDMACSL | DMA 校验和低字节 （EDMACS<7:0>） | | | | | | | | 13 |
| EDMACSH | DMA 校验和高字节 （EDMACS<15:8>） | | | | | | | | 13 |
| EBSTSD | 内置自测试填充种子 （EBSTSD<7:0>） | | | | | | | | 14 |
| EBSTCON | PSV2 | PSV1 | PSV0 | PSEL | TMSEL1 | TMSEL0 | TME | BISTST | 14 |
| EBSTCSL | 内置自测试校验和低字节 （EBSTCS<7:0>） | | | | | | | | 14 |
| EBSTCSH | 内置自测试校验和高字节 （EBSTCS<15:8>） | | | | | | | | 14 |

图注： — = 未用 （读为 0）。未使用阴影单元。

注：

## 16.0 电气特性

### 绝对额定最大值

$V_D$、 $V_{DDOSC}$、 $V_{DDPLL}$、 $V_{DDRX}$ 和 $V_{DDTX}$ .......... 4.0V
储存温度 .......... -65°C 至 +150°C
施加电源时的环境温度 （$T_A$） .......... -40°C 至 +85°C （工业级）
0°C 至 +70°C （商业级）
引脚的焊接温度 （10 秒） .......... +300°C
$\overline{RESET}$、 $\overline{CS}$、 SCK 和 SI 相对 $V_{SS}$ 的电压 .......... -0.6V 至 7.0V
CLKOUT、 SO、 TPIN+/-、 TPOUT+/-、 OSC1、 OSC2、 LEDA 和 LEDB 相对 $V_{SS}$ 的电压 .......... -0.6V 至 $V_{DD}$ + 0.6V
$V_{CAP}$ 相对 $V_{SS}$ 的电压 .......... -0.6V 至 3.0V
所有引脚的 ESD 保护电压 .......... 2 kV
LEDA 和 LEDB 的灌或拉电流 .......... 12 mA
CLKOUT 的灌或拉电流 .......... 8 mA
$\overline{INT}$、 $\overline{WOL}$ 和 SO 的灌或拉电流 .......... 4 mA



**† 注意：**如果器件的工作条件超过 “绝对最大值”，就可能会对器件造成永久性损坏。上述值仅为运行条件极大值，我们建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大值条件下，其稳定性会受到影响。

## 16.1 直流特性：ENC28J60 （工业级和商业级）

| 直流特性 | | | 标准工作条件<br>-40°C ≤ $T_A$ ≤ +85°C，3.14V ≤ $V_{DD}$ ≤ 3.45V （工业级）<br>0°C ≤ $T_A$ ≤ +70°C， 3.14V ≤ $V_{DD}$ ≤ 3.45V （商业级） | | | |
|---|---|---|---|---|---|---|
| 参数编号 | 符号 | 特性 | 最小值 | 最大值 | 单位 | 条件 |
| D001 | $V_{DD}$ | 供电电压 | 3.14 | 3.45 | V | |
| D002 | $V_{DR}$ | 寄存器保存电压 | TBD | — | V | 包括双端口存储器 |
| D003 | $V_{POR}$ | **$V_{DD}$ 启动电压**<br>确保能够产生内部上电复位信号 | — | 0.7 | V | 详情请参见关于上电复位的章节 |
| D004 | $S_{VDD}$ | **$V_{DD}$ 上升速率**<br>确保能够产生内部上电复位信号 | 0.05 | — | V/µs | 详情请参见关于上电复位的章节 |
| | $V_{IH}$ | 高电平输入电压 | | | | |
| D040 | | SCK，$\overline{CS}$，SI | 2.0 | 5.5 | V | |
| D042A | | OSC1 | 0.85 $V_{DD}$ | $V_{DD}$ | V | |
| D042 | | $\overline{RESET}$ | 0.85 $V_{DD}$ | 5.5 | V | |
| | $V_{IL}$ | 低电平输入电压 | | | | |
| D030 | | SCK，$\overline{CS}$，SI | -0.3 | 0.8 | V | |
| D032A | | OSC1 | $V_{SS}$ | 0.3 $V_{DD}$ | V | |
| D032 | | $\overline{RESET}$ | $V_{SS}$ | 0.8 | V | |
| | $V_{OL}$ | 低电平输出电压 | | | | |
| | | SO，CLKOUT | — | TBD | V | |
| | | $\overline{INT}$，$\overline{WOL}$ | — | TBD | V | |
| | $V_{OH}$ | 高电平输出电压 | | | | |
| | | SO，CLKOUT | TBD | — | V | |
| | | $\overline{INT}$，$\overline{WOL}$ | TBD | — | V | |
| | $R_{PU}$ | 弱上拉电阻 | 74K | 173K | Ω | |
| | $I_{LI}$ | 输入泄漏电流 | | | | |
| | | 除 OSC1 外的所有 I/O 引脚 | — | TBD | µA | $\overline{CS}$ = $\overline{RESET}$ = $V_{DD}$，<br>$V_{IN}$ = $V_{SS}$ 至 $V_{DD}$ |
| | | OSC1 引脚 | — | TBD | µA | |
| | $C_{INT}$ | 内部电容<br>（所有输入和输出） | — | TBD | pF | $T_A$ = 25°C，$f_C$ = 1.0 MHz，<br>$V_{DD}$ = 0V （注 **1**） |
| | $I_{DD}$ | 工作电流 | — | 250 | mA | $V_{DD}$ = 3.45V，$F_{CLK}$ = 10 MHz，<br>SO = 开路 |
| | $I_{DDS}$ | 待机电流<br>（休眠模式） | — | TBD | µA | $\overline{CS}$ = $V_{DD}$，输入连接到 $V_{DD}$ 或 $V_{SS}$ |

图注： TBD = 待定

注 **1**： 该参数是周期采样得出的并没有经过 100% 测试。

表 16-1： 交流特性：**ENC28J60** （工业级和商业级）

| 交流特性 | 标准工作条件<br>-40°C ≤ TA ≤ +85°C，3.14V ≤ VDD ≤ 3.45V （工业级）<br>0°C ≤ TA ≤ +70°C， 3.14V ≤ VDD ≤ 3.45V （商业级） |
|---|---|

表 16-2： 振荡器时序规范

| 参数编号 | 符号 | 特性 | 最小值 | 最大值 | 单位 | 条件 |
|---|---|---|---|---|---|---|
| | FOSC | 输入时钟频率 | 25 | 25 | MHz | |
| | TOSC | 输入时钟周期 | 40 | 40 | ns | |
| | TDUTY | 占空比 （外部时钟输入） | 40 | 60 | % | |
| | Δf | 时钟容差 | — | ±50 | ppm | |

注： 该参数是周期采样得出的并没有经过 100% 测试。



表 16-3： 复位交流特性

| 参数编号 | 符号 | 特性 | 最小值 | 最大值 | 单位 | 条件 |
|---|---|---|---|---|---|---|
| | trl | $\overline{\text{RESET}}$ 引脚高电平时间 | 2 | — | μs | |

表 16-4： **CLKOUT** 引脚交流特性

| 参数编号 | 符号 | 特性 | 最小值 | 最大值 | 单位 | 条件 |
|---|---|---|---|---|---|---|
| | $t_h$CLKOUT | CLKOUT 引脚高电平时间 | TBD | — | ns | （注 **1**） |
| | $t_l$CLKOUT | CLKOUT 引脚低电平时间 | TBD | — | ns | （注 **1**） |
| | $t_r$CLKOUT | CLKOUT 引脚电平上升时间 | — | TBD | ns | 从 0.3 VDD 上升到 0.7 VDD 时测得 （注 **1**） |
| | $t_f$CLKOUT | CLKOUT 引脚电平下降时间 | — | TBD | ns | 从 0.7 VDD 下降到 0.3 VDD 时测得 （注 **1**） |
| | $t_d$CLKOUT | CLKOUT 传输延时 | — | TBD | ns | |

图注： TBD = 待定

注 **1**： 将 CLKOUT 信号的预分频比设置为 1。该参数是周期采样得出的并没有经过 100% 测试。

表 16-5： 外部电磁要求

| 参数 | 最小值 | 正常值 | 最大值 | 单位 | 条件 |
|---|---|---|---|---|---|
| 接收变压比 | — | 1:1 | — | — | |
| 发送变压比 | — | 1:1 | — | — | 变压器中心抽头电压 = 3.3V |
| 介入损失 | 0.0 | 0.6 | 1.1 | dB | |
| 初级线圈电感 | 350 | — | — | µH | 偏置电流为 8mA |
| 变压器隔离电压 | — | 1.5 | — | kV | |
| 差分共模抑制比 | 40 | — | — | dB | 0.1 至 10 MHz |
| 回波损耗 | -16 | — | — | dB | |



表 16-6： SPI 接口交流特性

| 参数编号 | 符号 | 特性 | 最小值 | 最大值 | 单位 | 条件 |
|---|---|---|---|---|---|---|
| | FCLK | 时钟频率 | DC | 10 | MHz | |
| 1 | TCSS | $\overline{CS}$ 建立时间 | 100 | — | ns | |
| 2 | TCSH | $\overline{CS}$ 保持时间 | 100 | — | ns | |
| 3 | TCSD | $\overline{CS}$ 禁止时间 | 100 | — | ns | |
| 4 | TSU | 数据建立时间 | 2 | — | ns | |
| 5 | THD | 数据保持时间 | 10 | — | ns | |
| 6 | TR | 时钟上升时间 | — | TBD | µs | （注 **1**） |
| 7 | TF | 时钟下降时间 | — | TBD | µs | （注 **1**） |
| 8 | THI | 时钟高电平时间 | TBD | — | ns | |
| 9 | TLO | 时钟低电平时间 | TBD | — | ns | |
| 10 | TV | 时钟低电平输出有效时间 | — | TBD | ns | |
| 11 | TDIS | 输出禁止时间 | — | TBD | ns | （注 **1**） |

图注： TBD = 待定

注 **1**： 此参数未经 100% 测试。

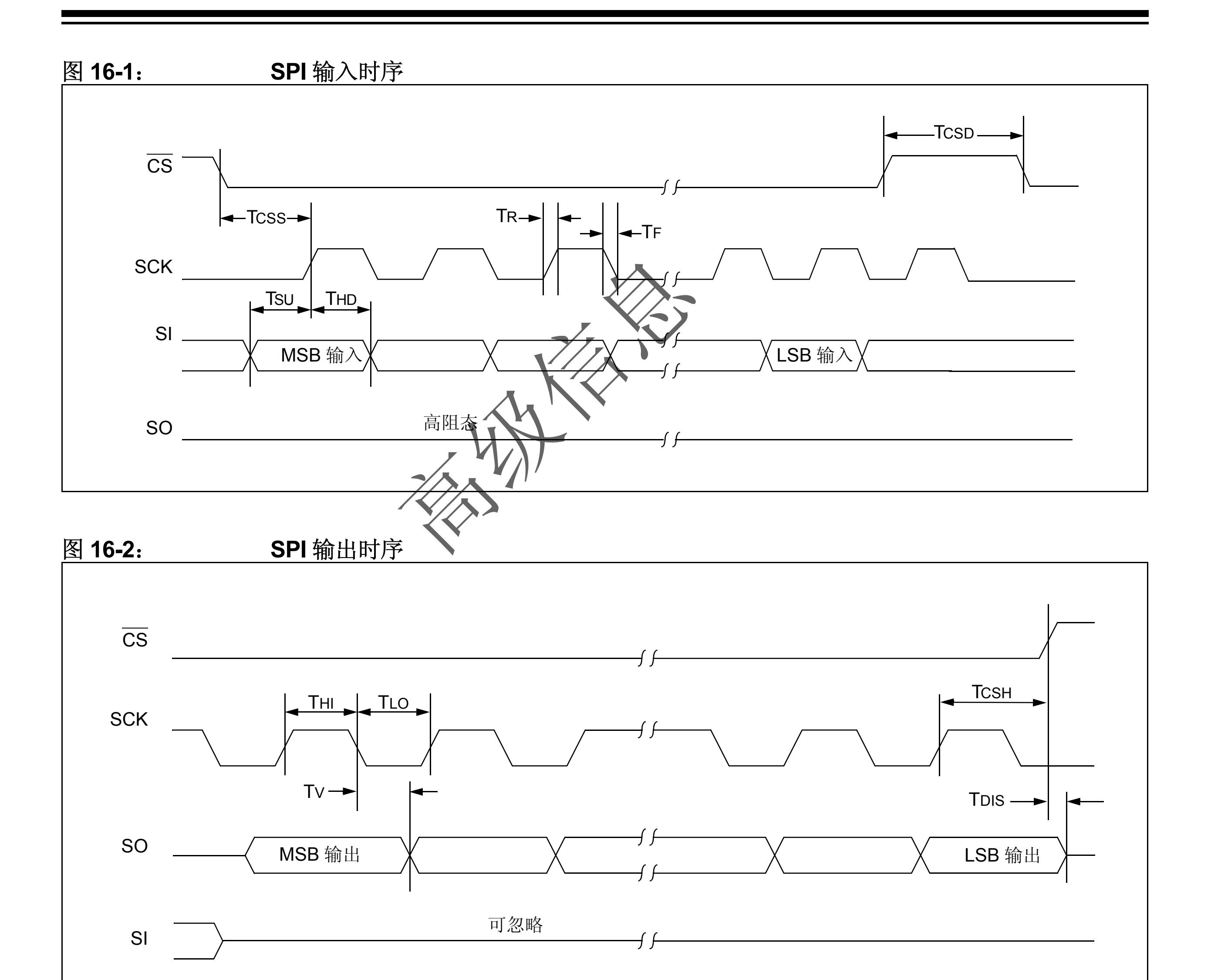


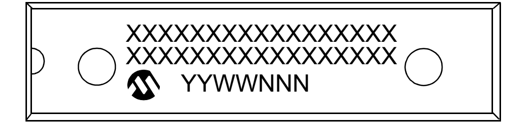
图 16-1： SPI 输入时序
CS
TCSD
TCSS
TR
TF
SCK
TSU
THD
SI
MSB 输入
LSB 输入
SO
高阻态
图 16-2： SPI 输出时序
CS
THI
TLO
TCSH
SCK
TV
TDIS
SO
MSB 输出
LSB 输出
SI
可忽略

注：

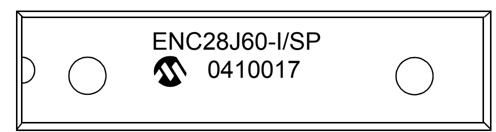
## 17.0 封装信息

### 17.1 封装标识信息

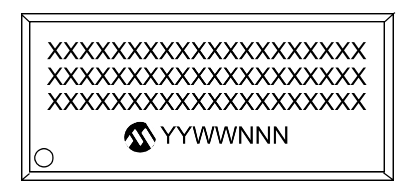
28 引脚 SPDIP



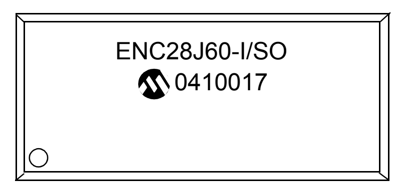

示例



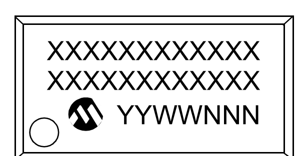

28 引脚 SOIC



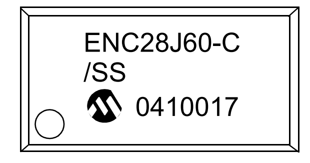

示例




28 引脚 SSOP




示例




28 引脚 QFN




示例




| 图注： | | |
|---|---|---|
| | XX...X | 客户信息 * |
| | Y | 年份代码 （日历年的最后一位数字） |
| | YY | 年份代码 （日历年的最后两位数字） |
| | WW | 星期代码 （1 月 1 日的星期代码为 “01”） |
| | NNN | 以字母数字排序的追踪代码 |

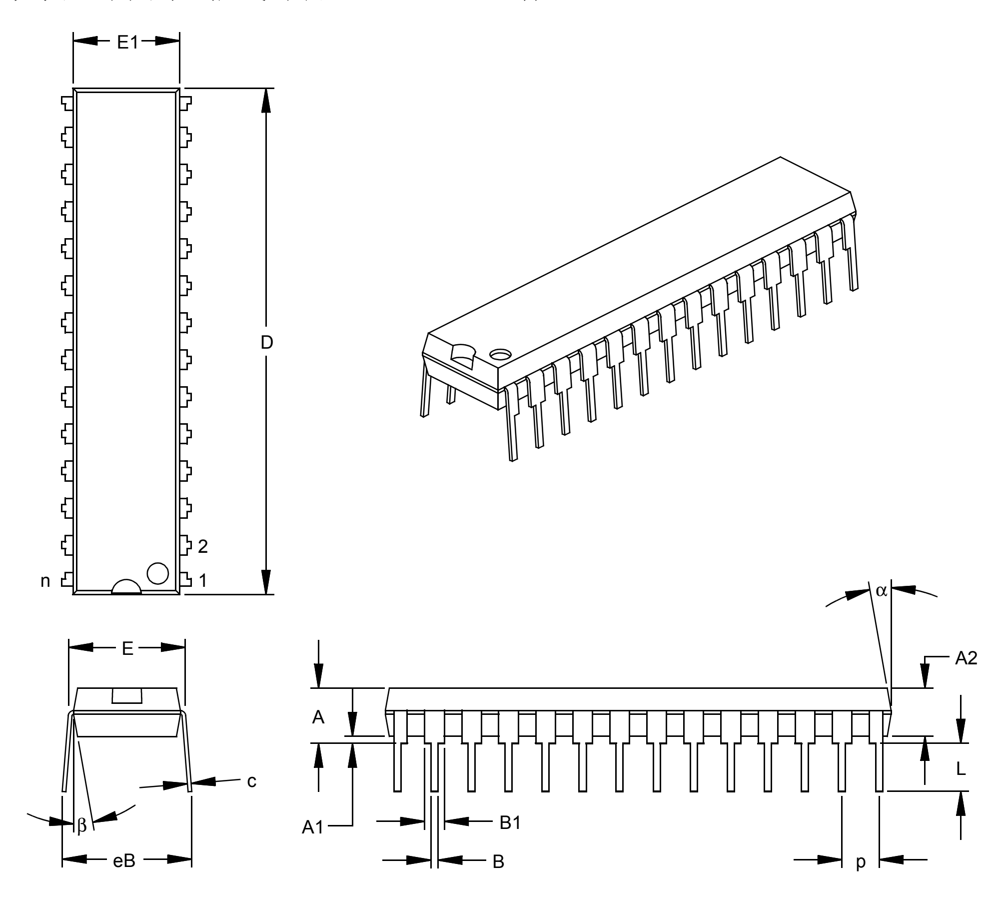
**注：** Microchip 元器件编号如果无法在同一行内完整标注，将换行标出，因此会限制客户信息的字符数。

* 标准 PICmicro 器件标识由 Microchip 元器件编号、年份代码、星期代码和追踪代码组成。若 PICmicro 器件标识超出上述内容，需支付一定的附加费用。请向当地的 Microchip 销售办事处确认相关信息。对于 QTP 器件，任何特殊标记的费用都已包含在 QTP 价格中。

## 17.2 封装详细信息

以下部分将介绍各种封装的技术细节。

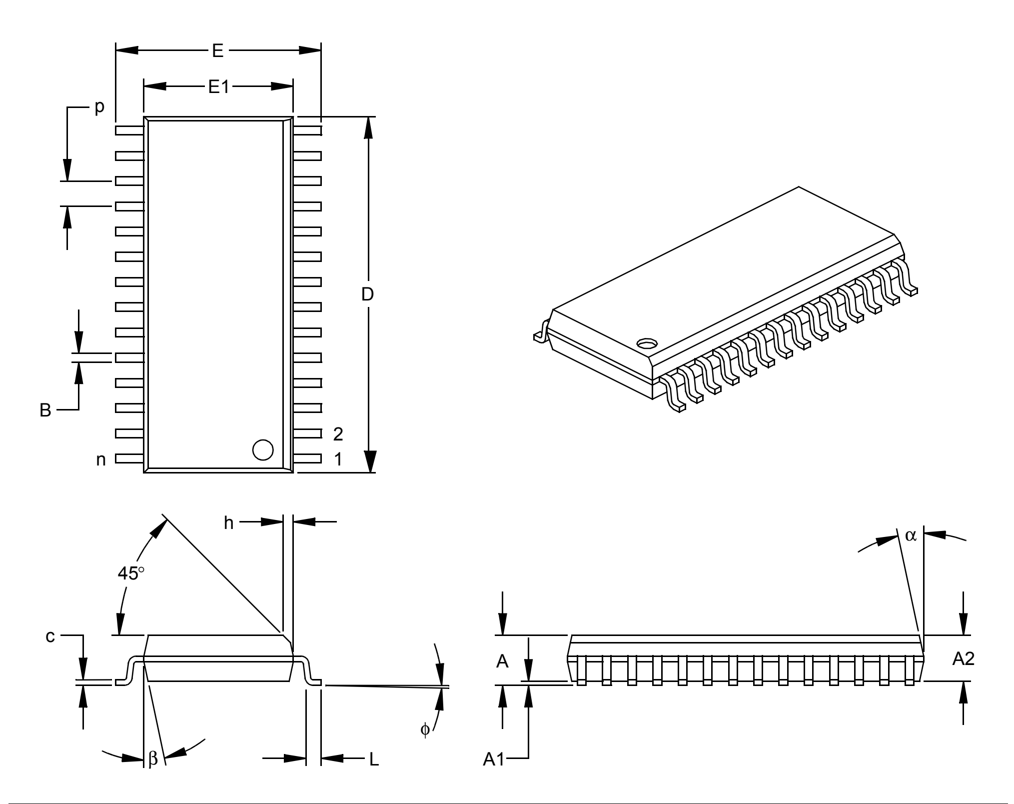
### 28 引脚窄条塑封双列直插式封装 （SP）——主体 300mil （PDIP）




| 单位 | | 英寸 * | | | 毫米 | | |
|---|---|---|---|---|---|---|---|
| 尺寸范围 | | 最小 | 正常 | 最大 | 最小 | 正常 | 最大 |
| 引脚数 | n | | 28 | | | 28 | |
| 引脚间距 | p | | .100 | | | 2.54 | |
| 顶端到固定面高度 | A | .140 | .150 | .160 | 3.56 | 3.81 | 4.06 |
| 塑模封装厚度 | A2 | .125 | .130 | .135 | 3.18 | 3.30 | 3.43 |
| 塑模底面到固定面的高度 | A1 | .015 | | | 0.38 | | |
| 肩到肩宽度 | E | .300 | .310 | .325 | 7.62 | 7.87 | 8.26 |
| 塑模封装宽度 | E1 | .275 | .285 | .295 | 6.99 | 7.24 | 7.49 |
| 总长度 | D | 1.345 | 1.365 | 1.385 | 34.16 | 34.67 | 35.18 |
| 引脚尖到固定面的高度 | L | .125 | .130 | .135 | 3.18 | 3.30 | 3.43 |
| 引脚厚度 | c | .008 | .012 | .015 | 0.20 | 0.29 | 0.38 |
| 引脚上部宽度 | B1 | .040 | .053 | .065 | 1.02 | 1.33 | 1.65 |
| 引脚下部宽度 | B | .016 | .019 | .022 | 0.41 | 0.48 | 0.56 |
| 总排列间距 § | eB | .320 | .350 | .430 | 8.13 | 8.89 | 10.92 |
| 塑模顶部锥度 | α | 5 | 10 | 15 | 5 | 10 | 15 |
| 塑模底部锥度 | β | 5 | 10 | 15 | 5 | 10 | 15 |

* 控制参数
§ 重要特性
注：
尺寸 D 和 E1 不包括塑模毛边或突起。塑模每侧的毛边或突起不得超过 0.010 英寸（0.254 毫米）。
等同于 JEDEC 号：MO-095
图号：C04-070

## 28 引脚宽条塑封小外形封装 （SO）——主体 300mil （SOIC）

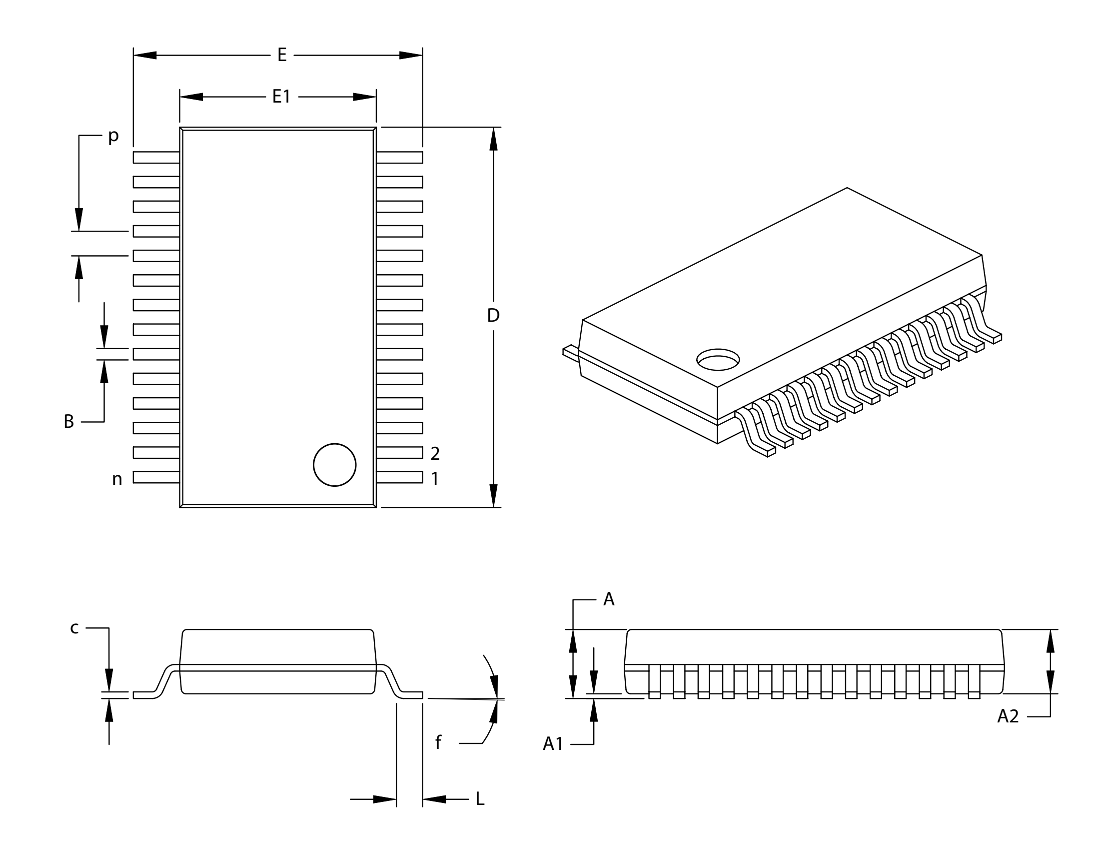



| 单位 | | 英寸 * | | | 毫米 | | |
|---|---|---|---|---|---|---|---|
| 尺寸范围 | | 最小 | 正常 | 最大 | 最小 | 正常 | 最大 |
| 引脚数 | n | | 28 | | | 28 | |
| 引脚间距 | p | | .050 | | | 1.27 | |
| 总高度 | A | .093 | .099 | .104 | 2.36 | 2.50 | 2.64 |
| 塑模封装厚度 | A2 | .088 | .091 | .094 | 2.24 | 2.31 | 2.39 |
| 悬空间隙 § | A1 | .004 | .008 | .012 | 0.10 | 0.20 | 0.30 |
| 总宽度 | E | .394 | .407 | .420 | 10.01 | 10.34 | 10.67 |
| 塑模封装宽度 | E1 | .288 | .295 | .299 | 7.32 | 7.49 | 7.59 |
| 总长度 | D | .695 | .704 | .712 | 17.65 | 17.87 | 18.08 |
| 倒棱距离 | h | .010 | .020 | .029 | 0.25 | 0.50 | 0.74 |
| 底脚长度 | L | .016 | .033 | .050 | 0.41 | 0.84 | 1.27 |
| 底脚倾斜角度 | φ | 0 | 4 | 8 | 0 | 4 | 8 |
| 引脚厚度 | c | .009 | .011 | .013 | 0.23 | 0.28 | 0.33 |
| 引脚宽度 | B | .014 | .017 | .020 | 0.36 | 0.42 | 0.51 |
| 塑模顶部锥度 | α | 0 | 12 | 15 | 0 | 12 | 15 |
| 塑模底部锥度 | β | 0 | 12 | 15 | 0 | 12 | 15 |

* 控制参数
§ 重要特性

注：
尺寸 D 和 E1 不包括塑模毛边或突起。塑模每侧的毛边或突起不得超过 0.010 英寸（0.254 毫米）。
等同于 JEDEC 号：MS-013
图号：C04-052

## 28 引脚塑封缩小外形封装 （SS）——主体 209mil， 5.30mm （SSOP）




| 单位 | | 英寸 | | | 毫米* | | |
|---|---|---|---|---|---|---|---|
| 尺寸范围 | | 最小 | 正常 | 最大 | 最小 | 正常 | 最大 |
| 引脚数 | n | | 28 | | | 28 | |
| 引脚间距 | p | | .026 | | | 0.65 | |
| 总高度 | A | - | - | .079 | - | - | 2.0 |
| 塑模封装厚度 | A2 | .065 | .069 | .073 | 1.65 | 1.75 | 1.85 |
| 悬空间隙 | A1 | .002 | - | - | 0.05 | - | - |
| 总宽度 | E | .295 | .307 | .323 | 7.49 | 7.80 | 8.20 |
| 塑模封装厚度 | E1 | .009 | .209 | .220 | 5.00 | 5.30 | 5.60 |
| 总长度 | D | .390 | .402 | .413 | 9.90 | 10.20 | 10.50 |
| 底脚长度 | L | .022 | .030 | .037 | 0.55 | 0.75 | 0.95 |
| 引脚厚度 | c | .004 | - | .010 | 0.09 | - | 0.25 |
| 底脚倾斜角 | f | 0° | 4° | 8° | 0° | 4° | 8° |
| 引脚宽度 | B | .009 | - | .015 | 0.22 | - | 0.38 |

*控制参数

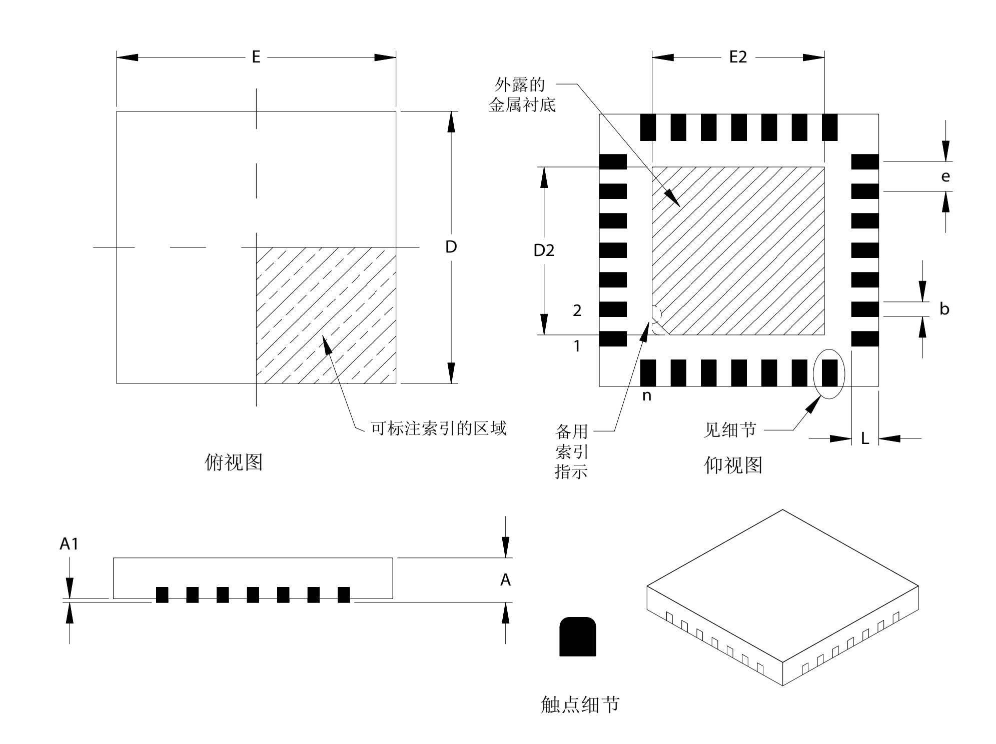
注：

尺寸 D 和 E1 不包括塑模毛边或突起。塑模每侧的毛边或突起不得超过 0.010 英寸（0.254毫米）。

等同于JEDEC 号：MO-150

图号C04-073

**28 引脚塑封正方扁平无脚封装 （ML）主体 6x6 mm （QFN）——触点长度为 0.55 毫米（Saw Singulated）**




| 单位 | | 英寸 | | | 毫米* | | |
|---|---|---|---|---|---|---|---|
| 尺寸范围 | | 最小 | 正常 | 最大 | 最小 | 正常 | 最大 |
| 引脚数 | n | | 28 | | | 28 | |
| 引脚间距 | e | | .026 BSC | | | 0.65 BSC | |
| 总高度 | A | .031 | .035 | .039 | 0.80 | 0.90 | 1.00 |
| 悬空间隙 | A1 | .000 | .001 | .002 | 0.00 | 0.02 | 0.05 |
| 引脚顶部到塑模底部距离 | A3 | | .008 REF | | | 0.20 REF | |
| 总宽度 | E | .232 | .236 | .240 | 5.90 | 6.00 | 6.10 |
| 外露金属衬底宽度 | E2 | .153 | .167 | .169 | 3.89 | 4.24 | 4.29 |
| 总长度 | D | .232 | .236 | .240 | 5.90 | 6.00 | 6.10 |
| 外露金属衬底长度 | D2 | .153 | .167 | .169 | 3.89 | 4.24 | 4.29 |
| 触点宽度 | b | .009 | .011 | .013 | 0.23 | 0.28 | 0.33 |
| 触点长度 | L | .018 | .022 | .024 | 0.45 | 0.55 | 0.65 |

*控制参数

注：

外露金属衬底尺寸随管芯叶片大小而变化。

等同于JEDEC号：MO-220

图号：C04-105，修订于 10-14-05

注：

# 索引

 高级信息 

## MICROCHIP 网站

Microchip 网站 （www.microchip.com）为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的因特网浏览器即可访问。网站提供以下信息：

- **产品支持**——数据手册和勘误表、应用笔记和样本程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及存档软件
- **一般技术支持**——常见问题 （FAQ）、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务**——产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

## 变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请登录 Microchip 网站 www.microchip.com，点击“变更通知客户 （Customer Change Notification）”服务后按照注册说明完成注册。

## 客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 （FAE）
- 技术支持
- 开发系统信息热线

客户应联系其代理商、代表或应用工程师 （FAE）寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

**也可通过 http：//support.microchip.com 获得网上技术支持。**

## 读者反馈表

我们努力为您提供最佳文档，以确保您能够成功使用 Microchip 产品。如果您对文档的组织、条理性、主题及其他有助于提高文档质量的方面有任何意见或建议，请填写本反馈表并传真给我公司 TRC 经理，传真号码为 86-21-5407-5066。

请填写以下信息，并从下面各方面提出您对本文档的意见。

致: TRC 经理　　　　总页数 ________

关于: 读者反馈

发自: 姓名 ________________

公司 ________________

地址 ________________

国家 / 省份 / 城市 / 邮编 ________________

电话: (______) ________________　　传真:(______) ________________

应用(选填):

您希望收到回复吗? 是____ 否____

器件: ENC28J60　　文献编号: DS39662A_CN

问题

1. 本文档中哪些部分最有特色?

________________

________________

2. 本文档是否满足了您的软硬件开发要求? 如何满足的?

________________

________________

3. 您认为本文档的组织结构便于理解吗? 如果不便于理解，那么问题何在?

________________

________________

4. 您认为本文档应该添加哪些内容以改善其结构和主题?

________________

________________

5. 您认为本文档中可以删减哪些内容，而又不会影响整体使用效果?

________________

________________

6. 本文档中是否存在错误或误导信息? 如果存在，请指出是什么信息及其具体页数。

________________

________________

7. 您认为本文档还有哪些方面有待改进?

________________

________________

## 产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或销售办事处联系。

<table>
<tr><td>

**器件编号** **-X** **/XX**

器件 温度范围 封装

| | |
|---|---|
| 器件 | ENC28J60： 带有 SPI 接口的以太网控制器<br>ENC28J60T：带有 SPI 接口的以太网控制器（卷带式封装） |
| 温度范围 | I = -40°C 至 +85°C （工业级）（仅 SPDIP、 SOIC 和 QFN 封装）<br>C = 0°C 至 +70°C （商业级）（仅 SSOP 封装） |
| 封装 | SP = SPDIP （窄条塑封 DIP）<br>SO = SOIC （塑封小外形封装）<br>SS = SSOP （塑封缩小外形封装）<br>ML = QFN （正方扁平无脚封装） |

</td><td>

示例：

a) ENC28J60-I/SP：工业级温度， SPDIP 封装。
b) ENC28J60-I/SO：工业级温度， SOIC 封装。
c) ENC28J60T-I/SO：卷带式封装，工业级温度， SOIC 封装。
d) ENC28J60-C/SS：商业级温度， SSOP 封装。
e) ENC28J60T-C/SS：卷带式封装，商业级温度， SSOP 封装。
f) ENC28J60-I/ML：工业级温度， QFN 封装。

</td></tr>
</table>



# 全球销售及服务网点

## 美洲

**公司总部 Corporate Office**
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277
技术支持：
http://support.microchip.com
网址：www.microchip.com

**亚特兰大 Atlanta**
Alpharetta, GA
Tel: 1-770-640-0034
Fax: 1-770-640-0307

**波士顿 Boston**
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

**芝加哥 Chicago**
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

**达拉斯 Dallas**
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

**底特律 Detroit**
Farmington Hills, MI
Tel: 1-248-538-2250
Fax: 1-248-538-2260

**科科莫 Kokomo**
Kokomo, IN
Tel: 1-765-864-8360
Fax: 1-765-864-8387

**洛杉矶 Los Angeles**
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

**圣何塞 San Jose**
Mountain View, CA
Tel: 1-650-215-1444
Fax: 1-650-961-0286

**加拿大多伦多 Toronto**
Mississauga, Ontario,
Canada
Tel: 1-905-673-0699
Fax: 1-905-673-6509

## 亚太地区

中国 – 北京
Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 – 成都
Tel: 86-28-8676-6200
Fax: 86-28-8676-6599

中国 – 福州
Tel: 86-591-8750-3506
Fax: 86-591-8750-3521

中国 – 香港特别行政区
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 – 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 – 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 – 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 – 深圳
Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 – 顺德
Tel: 86-757-2839-5507
Fax: 86-757-2839-5571

中国 – 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 – 西安
Tel: 86-29-8833-7250
Fax: 86-29-8833-7256

台湾地区 – 高雄
Tel: 886-7-536-4818
Fax: 886-7-536-4803

台湾地区 – 台北
Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

台湾地区 – 新竹
Tel: 886-3-572-9526
Fax: 886-3-572-6459

## 亚太地区

**澳大利亚 Australia - Sydney**
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

**印度 India - Bangalore**
Tel: 91-80-4182-8400
Fax: 91-80-4182-8422

**印度 India - New Delhi**
Tel: 91-11-5160-8631
Fax: 91-11-5160-8632

**印度 India - Pune**
Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

**日本 Japan - Yokohama**
Tel: 81-45-471- 6166
Fax: 81-45-471-6122

**韩国 Korea - Gumi**
Tel: 82-54-473-4301
Fax: 82-54-473-4302

**韩国 Korea - Seoul**
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

**马来西亚 Malaysia - Penang**
Tel: 60-4-646-8870
Fax: 60-4-646-5086

**菲律宾 Philippines - Manila**
Tel: 63-2-634-9065
Fax: 63-2-634-9069

**新加坡 Singapore**
Tel: 65-6334-8870
Fax: 65-6334-8850

**泰国 Thailand - Bangkok**
Tel: 66-2-694-1351
Fax: 66-2-694-1350

## 欧洲

**奥地利 Austria - Wels**
Tel: 43-7242-2244-399
Fax: 43-7242-2244-393

**丹麦 Denmark-Copenhagen**
Tel: 45-4450-2828
Fax: 45-4485-2829

**法国 France - Paris**
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

**德国 Germany - Munich**
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

**意大利 Italy - Milan**
Tel: 39-0331-742611
Fax: 39-0331-466781

**荷兰 Netherlands - Drunen**
Tel: 31-416-690399
Fax: 31-416-690340

**西班牙 Spain - Madrid**
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

**英国 UK - Wokingham**
Tel: 44-118-921-5869
Fax: 44-118-921-5820

02/16/06